



# Educación

Secretaría de Educación Pública



TECNOLÓGICO  
NACIONAL DE MÉXICO



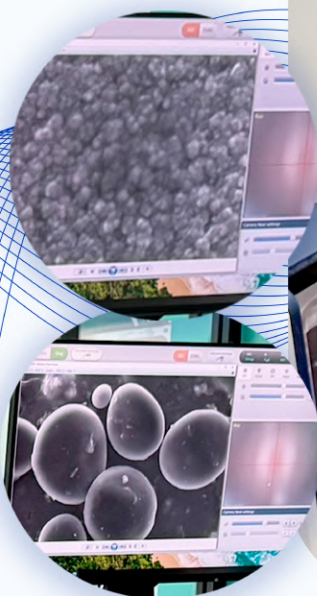
TecNM  
Apizaco

TECNOLÓGICO NACIONAL DE MÉXICO  
INSTITUTO TECNOLÓGICO DE APIZACO

# INVESTIGACIÓN, DESARROLLO E INNOVACIÓN EN LA INGENIERÍA

(IDII)

Volumen 1, No.1  
enero-junio 2025



[www.apizaco.tecnm.mx](http://www.apizaco.tecnm.mx)



# INVESTIGACIÓN, DESARROLLO E INNOVACIÓN EN LA INGENIERÍA (IDII)

Volumen 1, No.1, enero-junio 2025

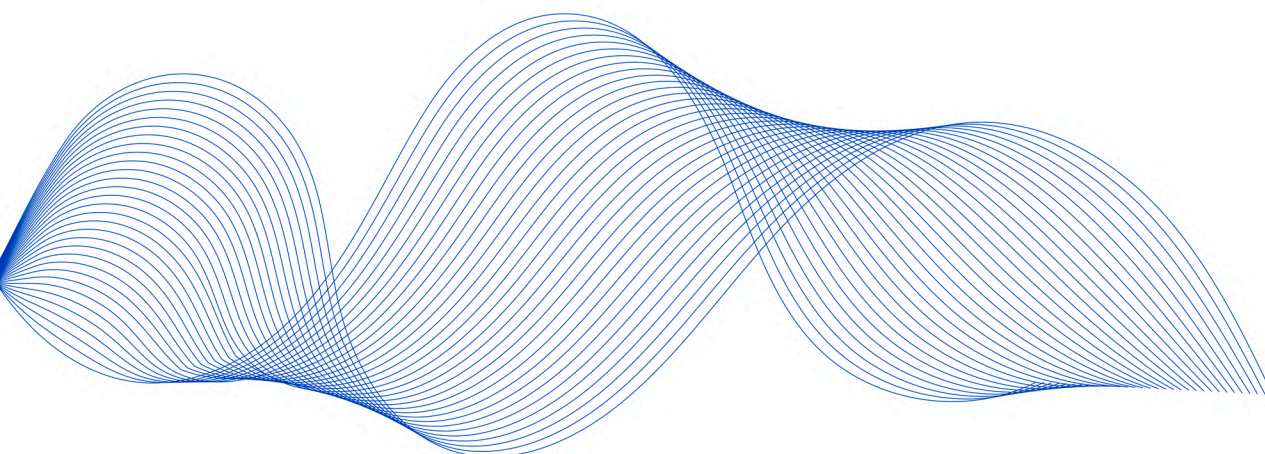
ISSN: En Trámite

<https://revista.apizaco.tecnm.mx/ojs/index.php/IDII/index>

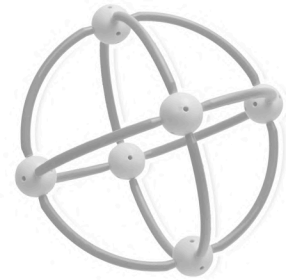
Tecnológico Nacional de México/Instituto Tecnológico de Apizaco

**INVESTIGACIÓN, DESARROLLO E INNOVACIÓN EN LA INGENIERÍA**, es un órgano de divulgación científica que se publica de forma semestral editada por el Tecnológico Nacional de México/Instituto Tecnológico de Apizaco. <https://www.apizaco.tecnm.mx/> Av. Instituto Tecnológico No. 418, San Andrés Ahuashuatepec, Municipio de Tzompantepec, Tlaxcala, Méx. C.P. 90491. Correo: [revista@apizaco.tecnm.mx](mailto:revista@apizaco.tecnm.mx)

El contenido y la sintaxis de los artículos presentados son responsabilidad del autor(es). Queda prohibida la reproducción parcial o total del contenido e imágenes de esta publicación en cualquier medio, sin previa autorización por escrito del Tecnológico Nacional de México/Instituto Tecnológico de Apizaco.



# TECNOLÓGICO NACIONAL DE MÉXICO INSTITUTO TECNOLÓGICO DE APIZACO



## DIRECTORIO

**Dr. Ramón Jiménez López**  
Director General del Tecnológico Nacional de México

**Dra. Yesica Imelda Saavedra Benítez**  
Directora

**Mtro. Enrique Acoltzi Bautista**  
Subdirector Académico

**Mtro. Cesar Reynaldo Ramos Gómez**  
Subdirector de Planeación y Vinculación

**Mtro. Abisai Morales Jiménez**  
Subdirectora de Servicios Administrativos

**Dr. Juan Ramos Ramos**  
Jefe de la División de Estudios de Posgrado e Investigación

### COMITÉ EDITORIAL

**Dr. Roberto Morales Caporal**  
Editor en Jefe

### COEDITORES

Dr. Raúl Cortés Maldonado  
Dra. Raquel Ramírez Amador  
Dra. Blanca Estela Pedroza Méndez  
Dr. Carlos Bueno Avendaño  
Dra. Haydee Patricia Martínez Hernández

### COMITÉ REVISOR

Dr. Jorge Bedolla Hernández  
Dr. Rafael Ordoñez Flores  
Dra. María Guadalupe Medina Barrera  
Dr. Carlos Alberto Mora Santos  
Dr. José Federico Ramírez Cruz  
Dr. Jorge Luis Castañeda Gutiérrez  
Dr. Alan Augusto Gallegos Cuellar  
Dr. José Federico Casco Vázquez  
Dra. Yesenia Nohemi González Meneses  
Dr. Rodolfo Eleazar Pérez Loaiza  
Dr. Perfecto Malaquías Quintero Flores  
Dr. Antonio Solís Lima  
Dr. José Juan Hernández Mora  
Dr. Marcos Bedolla Hernández  
Dr. José Crispín Hernández Hernández  
Dr. Juan Ramos Ramos  
Dr. Omar Sandre Hernández  
Mtra. María Janai Sánchez Hernández  
Mtro. Mario Eduardo Leal López  
Mtro. Carlos Pérez Corona  
Mtra. Elizabeth Cuatecontzi Cuahutle  
Mtro. Eduardo Sánchez Lucero



# INDICE

Artículo	pag.
Diseño e Implementación de Hardware de un PLC con Comunicación Inalámbrica para Aplicaciones de la Industria 4.0	1
Exploración Teórica de Arquitecturas de Microservicios en Entornos Contenerizados	11
Construcción del Gemelo Virtual de una Línea de Pintura Electroforética Integrando PLC	18
Análisis de Desempeño de Servicios de Notificación en la Nube: Twilio y Google SMTP	28
Control Directo de Par de un Motor Síncrono de Imanes Permanentes Aplicado en Electromovilidad Utilizando Redes Neuronales Artificiales	34
Desarrollo del Hardware de un Inversor Monofásico Puente Completo Basado en MOSFETs para Aplicaciones Fotovoltaicas	44
Diseño, implementación y evaluación de un prototipo Cansat para monitoreo atmosférico	51



Fecha de recepción: 05 de junio de 2025, fecha de publicación en línea: octubre de 2025.

# Diseño e Implementación de Hardware de un PLC con Comunicación Inalámbrica para Aplicaciones de la Industria 4.0

**Brayan Daniel Vazquez-Gasca, Roberto Morales-Caporal, Carlos Bueno-Avedaño, Rodolfo Eleazar Pérez-Loaiza, y Roy Maza-González**

Tecnológico Nacional de México – Instituto Tecnológico de Apizaco. San Andrés Ahuashuatepec, Municipio de Tzompantepec, Tlaxcala, C.P. 90491, México.

Autor de correspondencia: Brayan Daniel Vázquez Gasca (correo electrónico: m19370518@apizaco.tecnm.mx).

---

**Abstract** — This article presents the hardware design and implementation of a wireless Programmable Logic Controller. The device integrates eight galvanically isolated digital inputs, three analog inputs, eight relay outputs, and four N-MOS digital outputs. It features a Real-Time Clock (RTC) and utilizes an ESP32 for integrated Wi-Fi and Bluetooth communication. The design emphasizes robust signal conditioning, comprehensive electrical protection, and adherence to IPC standards, aiming for reliable operation in industrial settings. This work provides an open and documented hardware platform suitable for automation and research applications.

**Keywords:** Hardware Design; Industrial Internet of Things (IIoT); Printed Circuit Board (PCB); Programmable Logic Controller (PLC); Wireless Communication

---

## I. INTRODUCCIÓN

La Industria 4.0 ha redefinido el enfoque de la automatización industrial, al incorporar tecnologías de comunicación inalámbrica, análisis de datos y conectividad en tiempo real en los procesos productivos [1]. En este nuevo entorno, se requiere que los sistemas de control sean más inteligentes, para poder procesar y actuar sobre los crecientes volúmenes de datos generados, optimizar operaciones de manera autónoma y adaptarse dinámicamente a las condiciones cambiantes del proceso, además de ser flexibles e interoperables. Aunque los Controladores Lógicos Programables (PLC) continúan siendo una plataforma esencial en automatización industrial, enfrentan el desafío de adaptarse a entornos digitalizados y distribuidos, especialmente en lo relacionado con módulos de comunicación, conectividad inalámbrica y escalabilidad [2].

De acuerdo con el estado del arte se evidencia una creciente tendencia hacia la integración de tecnologías del Internet Industrial de las Cosas (IIoT) [3], donde la comunicación inalámbrica se vuelve un elemento esencial para la implementación de sistemas ciberfísicos distribuidos [4]. Sin embargo, hoy en día muchos PLCs comerciales operan bajo arquitecturas cerradas y esquemas con licencia, lo que restringe el acceso a su estructura interna y limita su personalización para aplicaciones específicas [5].

El interés por dispositivos de control con conectividad inalámbrica ha crecido en paralelo con la adopción de protocolos como Wi-Fi, Bluetooth, Zigbee y LoRa, los cuales permiten la interacción remota, el monitoreo distribuido y la integración con plataformas de análisis industrial. Esta evolución plantea nuevos desafíos técnicos, incluyendo inmunidad electromagnética, confiabilidad operativa en ambientes adversos, y seguridad en la transmisión de datos [6], [7].

Aunque existen desarrollos recientes orientados a integrar comunicación inalámbrica en sistemas de control, muchos de ellos presentan altos costos, aplicaciones muy específicas o dependen de hardware cerrado [8]. Estas características limitan su adopción en contextos educativos, de investigación o de bajo presupuesto, donde se requiere flexibilidad, documentación abierta y accesibilidad [9].

Este trabajo presenta el diseño e implementación del hardware de un PLC con comunicación inalámbrica integrada, desarrollado bajo el nombre de PLC IIoT ITA-1600. Este dispositivo está orientado a satisfacer requerimientos técnicos y funcionales para la automatización y como plataforma para la investigación en el contexto de la Industria 4.0. El PLC IIoT ITA-1600 se basa en el microcontrolador ESP32, que ofrece conectividad Wi-Fi y Bluetooth, arquitectura de doble núcleo y recursos suficientes para ser usado en aplicaciones industriales [10].

La principal contribución de este trabajo radica en mostrar el proceso de desarrollo de una plataforma de hardware abierta, documentada y escalable, que combina las funcionalidades esenciales de un PLC tradicional con capacidades modernas de conectividad inalámbrica. Esta solución no solo resuelve las limitaciones de PLCs comerciales, sino que también constituye una herramienta didáctica y experimental para el aprendizaje de diseño electrónico orientado a la automatización industrial.

### A. Controlador Lógico Programable (PLC)

Los PLC son dispositivos electrónicos desarrollados para ejecutar tareas de control secuencial y discreto en sistemas industriales automatizados. Surgieron a finales de la década de 1960 como una alternativa flexible a los sistemas de control cableados basados en relevadores, permitiendo la reconfiguración de procesos mediante programación, sin requerir modificaciones físicas del sistema [11].

Un PLC típico está compuesto por una unidad central de procesamiento (CPU), módulos de entrada/salida (E/S), interfaces de comunicación y una fuente de alimentación. La CPU ejecuta un programa de control lógico almacenado en memoria no volátil, que procesa señales provenientes de sensores conectados a las entradas y envía comandos a actuadores a través de las salidas correspondientes [12].

Estos dispositivos se utilizan ampliamente en entornos industriales para la automatización de procesos tanto continuos como discretos, como líneas de ensamble, plantas de tratamiento, sistemas de transporte y control de maquinaria. Dentro de la pirámide de la automatización industrial, los PLC se posicionan como elementos de control local, estableciendo la conexión entre dispositivos de campo (sensores y actuadores) y los niveles superiores de supervisión, como se muestra en la Figura 1 [13].

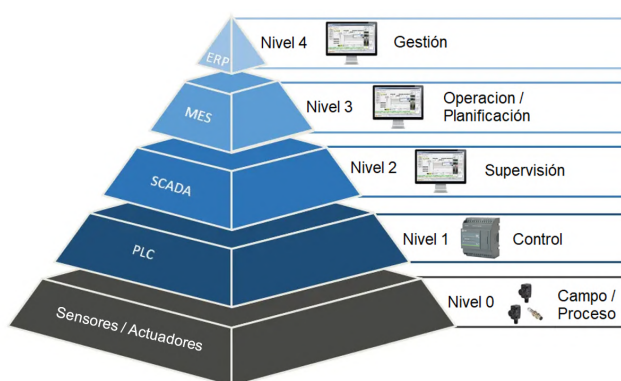


Figura 1. Pirámide de la automatización industrial [14].

Con la evolución de las arquitecturas de control hacia modelos distribuidos, los PLCs se han integrado en redes industriales mediante protocolos como Modbus, Profibus, EtherCAT o Ethernet/IP, lo que permite su interoperabilidad y coordinación dentro de sistemas jerárquicos de control y monitoreo [15].

### B. Industria 4.0 e Internet Industrial de las Cosas (IIoT)

La Industria 4.0, también conocida como la cuarta revolución industrial, marca una nueva etapa en la evolución de los sistemas de automatización. Se caracteriza por la integración de tecnologías digitales, de comunicación y procesamiento inteligente de datos en entornos industriales [16]. A diferencia de etapas anteriores, centradas en la mecanización (1.0), la electrificación (2.0) y la automatización electrónica (3.0), esta fase busca mejorar la eficiencia, flexibilidad y adaptabilidad de los procesos mediante la conectividad entre dispositivos y la toma de decisiones descentralizada [17].

Un componente esencial en la industria 4.0 es el IIoT que aplica los principios del Internet de las Cosas (IoT) al ámbito industrial, donde a través del IIoT, sensores, actuadores, sistemas de control y dispositivos embebidos se conectan mediante redes cableadas o inalámbricas, permitiendo la recolección y análisis de datos en tiempo real [18]. Esta capacidad de monitoreo distribuido y análisis predictivo facilita la optimización de procesos, la detección temprana de fallos y la mejora en la toma de decisiones operativas [19].

El IIoT también permite implementar sistemas conocidos como sistemas ciberfísicos (CPS), en los que el mundo físico y digital interactúan de forma continua [20]. Estas arquitecturas permiten que los sistemas de producción respondan dinámicamente a condiciones cambiantes y se integren con plataformas de análisis en la nube o en el borde de red [21].

En este contexto, dispositivos como los PLCs deben evolucionar hacia arquitecturas más abiertas, escalables y conectadas, que les permitan integrarse como nodos inteligentes dentro de sistemas distribuidos basados en IIoT. Aunque continúan siendo la plataforma dominante en automatización industrial, los PLC enfrentan limitaciones frente a los nuevos requerimientos de conectividad inalámbrica, interoperabilidad y procesamiento distribuido. Estudios recientes destacan que, a pesar de los avances en hardware, el modelo de programación y la estructura de los PLC no han cambiado sustancialmente, lo cual limita su adaptación a entornos más complejos, exigentes y dinámicos como los propuestos por la Industria 4.0 [22].

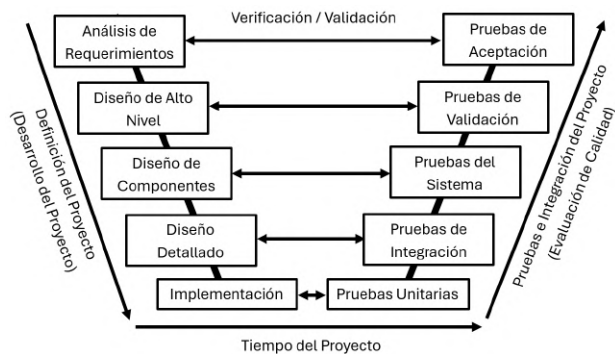
## II. PLANTEAMIENTO CONCEPTUAL

### A. Modelo de Desarrollo

Para estructurar el proceso de diseño e implementación del sistema, se empleó el Modelo V, la cual es una metodología utilizada en el desarrollo de sistemas embebidos [23]. Este enfoque permite establecer una correspondencia directa entre cada etapa de diseño y su fase de verificación, garantizando así su trazabilidad, consistencia y validación durante todo el ciclo de desarrollo del proyecto [24, 25].



La Figura 2 muestra el modelo V aplicado en el desarrollo del presente PLC.



**Figura 2:** Modelo V para el desarrollo de sistemas embebidos.

El desarrollo del PLC IIoT ITA-1600 siguió las fases de diseño del Modelo V: se inició con el Análisis de Requerimientos (Sección II.A Especificaciones y Requerimientos); seguido por el Diseño de Alto Nivel (Sección II.B Diagrama de Bloques) y el Diseño de Componentes (Sección III. Selección de Componentes); y culminó con el Diseño Detallado y la Implementación del prototipo (Sección IV. Diseño de la Tarjeta PCB).

La validación y verificación se realizó de manera sistemática, asegurando la calidad en cada etapa. En las Pruebas Unitarias, se verificó individualmente cada bloque diseñado (entradas, salidas, RTC, fuente, USB-UART) y su software. Las Pruebas de Integración aseguraron la comunicación y el funcionamiento conjunto entre estos distintos bloques. Posteriormente, en las Pruebas del Sistema, se validó el comportamiento general del PLC como una unidad funcional. Finalmente, las Pruebas de Validación y Aceptación, validadas por el equipo de desarrollo, confirmaron que el dispositivo cumplía con su diseño y los requerimientos iniciales del proyecto (resultados en Sección IV. Resultados), demostrando la funcionalidad del PLC IIoT ITA-1600 para abordar las limitaciones identificadas en PLCs comerciales.

### B. Especificaciones y Requerimientos

A partir de necesidades detectadas en entornos industriales y educativos, se establecieron las siguientes especificaciones y requerimientos del sistema.

*-Interfaces de entrada y salida:* 8 entradas digitales (12–24 VDC) con aislamiento galvánico, 3 entradas analógicas (2 de 0–10 V y 1 de 4–20 mA), 8 salidas a relevador (5 A @ 250 VAC / 30 VDC) y 3 salidas digitales transistorizadas (24 VDC, 100 mA).

*-Comunicación inalámbrica integrada:* Conectividad Wi-Fi (802.11b/g/n) para integración con sistemas IIoT.

*-Capacidades de temporización:* Reloj en tiempo real (RTC) con respaldo de horas para aplicaciones sensibles al tiempo.

*-Interfaces de programación:* Puerto USB para programación y comunicación serial, compatible con entornos de desarrollo estándar.

*-Alimentación:* Entrada de 24 VDC (rango: 22–25 V) con protección contra polaridad inversa. Salida aislada de  $\pm 12$  VDC para alimentación de sensores externos.

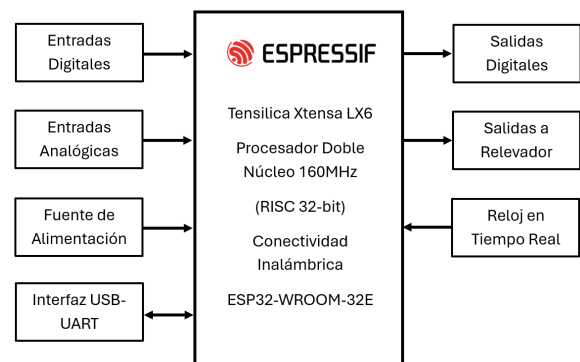
*-Protecciones eléctricas:* Aislamiento galvánico en entradas digitales, protección contra polaridad inversa, filtrado en entradas analógicas y protección contra descargas electrostáticas (ESD).

*-Montaje:* El PLC debe contar con un gabinete de grado industrial con montaje para carril tipo DIN para ser colocado en tableros eléctricos.

*-Condiciones de operación:* Rango de temperatura operativa de  $-20^{\circ}\text{C}$  a  $55^{\circ}\text{C}$ ,

### C. Diagrama de Bloques

La arquitectura del PLC IIoT ITA-1600 se diseñó conforme a los requerimientos funcionales y especificaciones técnicas definidos. La Figura 3 muestra el diagrama de bloques de alto nivel del sistema, el cual representa los módulos principales de entrada, procesamiento, comunicación y salida.



**Figura 3.** Diagrama de bloques de alto nivel del PLC IIoT ITA-1600.

El núcleo del sistema está conformado por el microcontrolador ESP32-WROOM-32E-H4, con procesador Xtensa LX6 de doble núcleo a 160 MHz, memoria integrada y conectividad inalámbrica Wi-Fi/Bluetooth. Gracias a su rango de operación de  $-40^{\circ}\text{C}$  a  $105^{\circ}\text{C}$ , resulta apto para entornos industriales.

Los módulos funcionales que integran el sistema son los siguientes:

*-Entradas digitales (12–24 VDC):* Incorporan aislamiento galvánico mediante optoacopladores, conformación de señal mediante compuertas Schmitt Trigger y expansión de entradas a través del bus I<sup>2</sup>C.

*-Entradas analógicas (0–10 V y 4–20 mA):* Incluyen protección contra sobretensiones, filtros pasa-bajas y buffers para adecuar la señal al rango operativo del ADC interno del ESP32.

*-Salidas digitales:* Implementadas mediante transistores N-MOS con capacidad de conmutación de 24 VDC a 100 mA por canal.

-**Salidas a relevador:** Capaces de conmutar cargas de hasta 5 A a 250 VAC o 30 VDC, controladas a través de transistores Darlington.

-**Fuente de alimentación:** A partir de una entrada de 24 VDC, se obtienen líneas internas de 3.3 V y  $\pm 12$  V mediante convertidores DC-DC y reguladores LDO, garantizando aislamiento y estabilidad.

-**Interfaz USB-UART:** Incorpora protección ESD, indicadores de comunicación y circuito de auto-programación para facilitar el desarrollo y la depuración de firmware.

-**Reloj en Tiempo Real (RTC):** Proporciona temporización interna independiente mediante cristal de cuarzo y mantiene la temporización del sistema incluso ante cortes de energía.

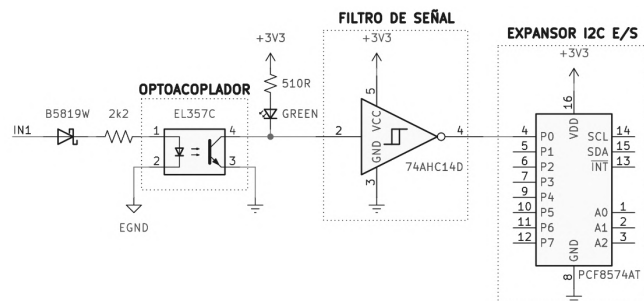
### III. SELECCIÓN DE COMPONENTES

Esta sección describe el diseño de los módulos que conforman el PLC IIoT ITA-1600. Para cada bloque funcional, se presenta un resumen de su propósito, las consideraciones técnicas clave y un diagrama esquemático simplificado. En estos diagramas, si un bloque tiene múltiples elementos (como 8 entradas), solo se muestra uno, ya que los mismos criterios aplican para el resto.

#### A. Entradas Digitales

Este bloque permite la adquisición de señales discretas de 12 a 24 VDC, típicas de sensores industriales, pulsadores o interruptores. El diseño asegura aislamiento galvánico, compatibilidad lógica con el ESP32 y retroalimentación visual del estado de cada canal.

Como se muestra en la Figura 4, se emplea un diodo Schottky B5819W para proteger contra polaridad inversa, gracias a su baja caída de tensión directa y rápida conmutación [26]. Para el aislamiento se seleccionó el optoacoplador EL357C, que ofrece una tensión dieléctrica de hasta 3.75 kVrms [27]. La conformación lógica se realiza mediante compuertas Schmitt Trigger 74HC14D, que mejoran la inmunidad al ruido en señales conmutadas [28]. La expansión del número de entradas se logró con el uso del CI PCF8574 que opera mediante el bus I<sup>2</sup>C, permitiendo reducir el número de pines del microcontrolador principal [29].

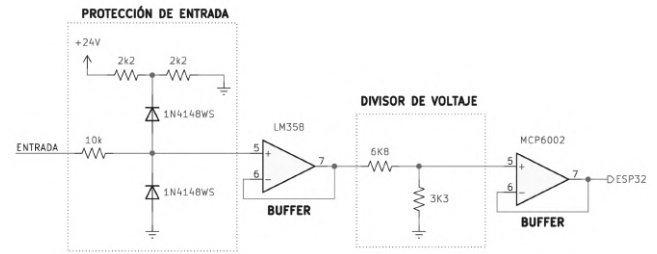


**Figura 4.** Diagrama esquemático simplificado de entradas digitales.

#### B. Entradas Analógicas 0-10 VDC

Este bloque permite la adquisición de señales analógicas de hasta 10 VDC provenientes de transmisores industriales. Se prioriza la protección contra condiciones anómalas, la

adaptación del nivel de voltaje y la preservación de la impedancia para el ADC del ESP32.



**Figura 5.** Diagrama esquemático de entradas analógicas de 0-10 V.

Como se observa en la Figura 5, se implementa una etapa de protección contra sobretensión ( $+12$  VDC) y polaridad inversa, basada en diodos de señal y resistores configurados en modo clamp diode [30]. La señal protegida se acopla a un amplificador operacional LM358 en configuración seguidor de voltaje, seleccionado por su capacidad de operar con 24 VDC y proporcionar alta impedancia de entrada [31]

La adaptación de nivel se realiza mediante un divisor resistivo que reduce la señal de entrada de 0–10 V a un rango seguro para el ADC del ESP32 (0–3.3 V). En este diseño, la salida del divisor ( $V_{ADC}$ ) alcanza un valor de 3.2673 V cuando se aplican 10 V en la entrada, lo cual se considera dentro del margen aceptable para el ADC, aunque debe ajustarse en el firmware. El cálculo se muestra en la ecuación (1):

$$V_{ADC} = \frac{3300 \Omega}{6800 \Omega + 3300 \Omega} \cdot 10 V = 3.2673 V \quad (1)$$

Para garantizar la estabilidad de este voltaje y evitar variaciones ante cambios de carga, se añade un segundo buffer utilizando el amplificador operacional MCP6002, que proporciona operación riel a riel en entradas y salidas [32].

#### C. Entrada Analógica 4-20 mA DC

Este bloque permite leer señales de corriente de lazo de 4 a 20 mA, ampliamente utilizadas en instrumentación industrial por su inmunidad al ruido y robustez [33]. Como se observa en la Figura 6 la corriente fluye a través de un diodo Schottky que protege contra polaridad inversa, y posteriormente pasa por un resistor de derivación (shunt) de 150  $\Omega$  que genera una caída de voltaje de 0.6 a 3 V, el cálculo se muestra en la ecuación (2) y ecuación (3).

$$V_{SHUNTmin} = (150 \Omega)(4 \times 10^{-3} A) = 0.6 V \quad (2)$$

$$V_{SHUNTmax} = (150 \Omega)(20 \times 10^{-3} A) = 3 V \quad (3)$$

La señal se filtra mediante un RC pasa-bajas y se estabiliza con un buffer basado en el MCP6002, manteniendo la integridad antes del muestreo del ADC, de igual forma se debe



acondicionar los valores mínimos y máximos mediante firmware.

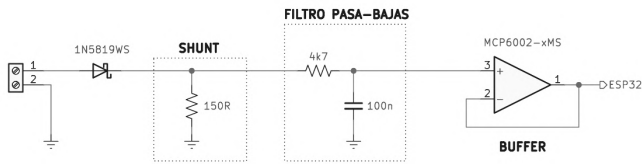


Figura 6. Diagrama esquemático de entrada analógica de 4-20

### D. Interfaz USB-UART

El bloque USB-UART permite la programación y depuración directa del PLC mediante un conector USB tipo B. La Figura 7a muestra el circuito de conversión de USB a UART para la comunicación y programación del ESP32. La figura 7b muestra el circuito para la programación automática y botones para su programación manual, siguiendo recomendaciones del fabricante [34]

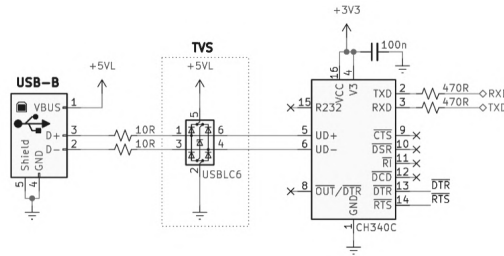


Figura 7a. Diagrama esquemático de conversor USB-UART.

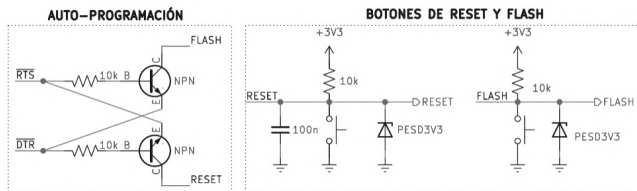


Figura 7b. Diagrama esquemático de auto-programación y botones de programación manual.

Se emplea el conversor CH340C por su fiabilidad, facilidad de integración y compatibilidad con USB 2.0. Las líneas D+ y D- incluyen resistores de impedancia de 10 Ω y protección ESD mediante el circuito TVS USBLC6-2SC6 [35]. LEDs indicadores permiten visualizar la transmisión (TXD) y recepción (RXD) de datos.

### E. Reloj en Tiempo Real (RTC)

El sistema incorpora un reloj DS1307 con comunicación I<sup>2</sup>C, capaz de mantener la hora y fecha durante cortes de energía [36], seleccionado debido a su uso adecuado para aplicaciones de temporización como, invernaderos para programar horarios de riego. La Figura 8 muestra el diagrama esquemático del bloque.

El respaldo de energía del RTC se implementa mediante un supercapacitor de 1 F / 5.5 V, seleccionado por su

compacidad, larga vida útil y eliminación de mantenimiento en comparación con baterías de litio [37].

Este se carga durante la operación normal del PLC y mantiene activo el reloj cuando la fuente principal de alimentación se interrumpe.

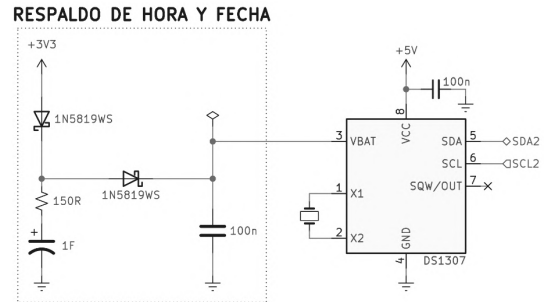


Figura 8. Diagrama esquemático de Reloj en Tiempo Real.

Para limitar la tensión de carga a 3 V, se emplea un diodo Schottky 1N5819WS, cuya baja caída de voltaje directa resulta adecuada para esta aplicación, con  $V_D = 0.3 \text{ V}$ . Dado que un supercapacitor descargado se comporta inicialmente como un cortocircuito [38], se incorpora un resistor en serie para limitar la corriente de irrupción durante la conexión inicial cuando se conecta el PLC a la energía. El valor se seleccionó para restringir la corriente a un máximo de 20 mA, como se muestra en la ecuación (4).

$$R_C = \frac{V_s - V_D}{I} = \frac{3.3 \text{ V} - 0.3 \text{ V}}{20 \times 10^{-3} \text{ A}} = 150 \Omega \quad (4)$$

### F. Salidas a Relevador

Este bloque permite el control de cargas mediante relevadores SPST de 24 V activados por lógica del PLC, la Figura 9 muestra el diagrama simplificado.

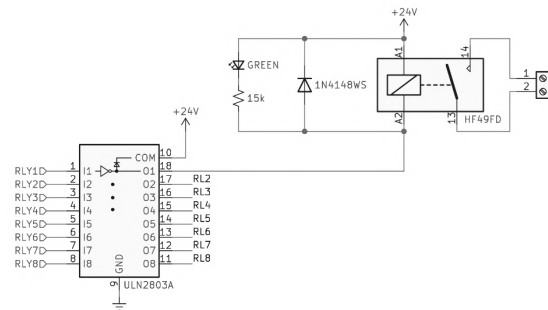
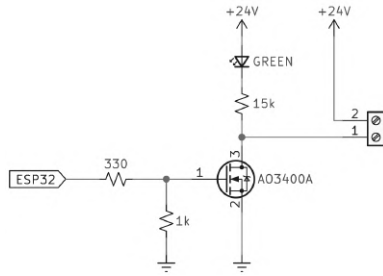


Figura 9. Diagrama esquemático simplificado de salidas a relevador.

Cada canal es operado por el circuito integrado Darlington ULN2803, seleccionado debido a que soporta hasta 500 mA por salida y cuenta con diodos flyback internos [39]. Se incluye un diodo externo 1N4148WS por canal para redundancia. El relevador utilizado HF49FD permite conmutar hasta 5 A en 250 VAC o 30 VDC lo que es ideal para manejar pequeñas cargas o contactores para más capacidad de corriente [40].

### G. Salidas a Transistor

Este bloque permite la conmutación directa de cargas en corriente continua, tales como semáforos o actuadores industriales, mediante transistores tipo N-MOSFET. La Figura 10 presenta el esquema simplificado del circuito.

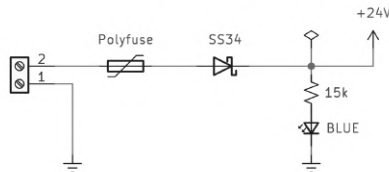


**Figura 10.** Diagrama simplificado de salidas a transistor.

Cada canal es controlado por un transistor AO3400, seleccionado por su baja resistencia de encendido  $\approx 30 \text{ m}\Omega$  [41]. La compuerta de cada MOSFET incorpora un resistor limitador de  $330 \Omega$ , que protege el pin GPIO del microcontrolador ante picos de corriente producidos por la carga capacitiva de la compuerta durante la conmutación. Además, se utiliza un resistor pull-down de  $1 \text{ k}\Omega$  para garantizar que el transistor permanezca apagado durante el arranque del sistema, evitando activaciones indeseadas [42].

### H. Fuente de Alimentación

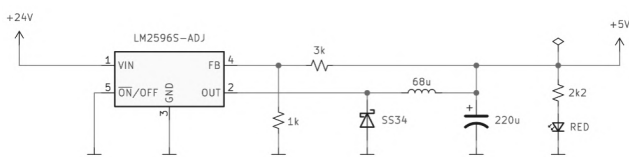
El sistema de alimentación se compone de varias etapas reguladoras que derivan y distribuyen las tensiones necesarias a partir de una entrada única de 24 VDC.



**Figura 11.** Diagrama esquemático de protección de entrada.

La Figura 11 muestra el bloque inicial, diseñado para proteger al sistema frente a condiciones eléctricas adversas. Este bloque incluye un fusible PPTC (1.85 A, 30 V), dimensionado según la corriente máxima estimada del sistema ( $\approx 1.5 \text{ A}$ ), con capacidad de recuperación automática tras una sobrecorriente moderada. Para proteger contra polaridad inversa, se emplea un diodo Schottky SS34, capaz de manejar hasta 3 A con baja caída de voltaje directo [43].

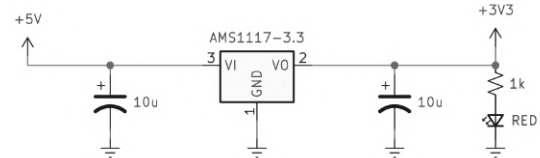
La conversión primaria se realiza mediante el regulador conmutado XL2596S-5.0E1, representado en la Figura 12.



**Figura 12.** Diagrama esquemático de regulación primaria de 5 V.

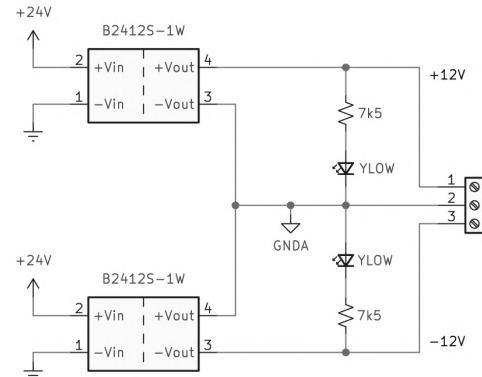
Este regulador fue seleccionado por su alta eficiencia ( $>70\%$ ), capacidad de corriente de hasta 3 A y su operación estable hasta 40 V de entrada. El diseño incluye un inductor blindado de  $68 \mu\text{H}$ , un diodo Schottky SS34 y un capacitor electrolítico de  $220 \mu\text{F}$ , dichos componentes son sugeridos por el fabricante para garantizar estabilidad y baja ondulación en la salida [44]. Un LED rojo indica la presencia de 5 V.

Para alimentar la lógica de bajo voltaje (ESP32 y periféricos), se emplea un regulador lineal de baja caída (LDO) AMS1117-3.3, mostrado en la Figura 13.



**Figura 13.** Diagrama esquemático de regulación de 3.3 V.

Este componente fue elegido por su bajo ruido de salida, capacidad de corriente de hasta 1 A. A la entrada y salida se integran capacitores de tantalio de  $10 \mu\text{F}$  de baja ESR, recomendados por el fabricante para garantizar estabilidad en aplicaciones sensibles a interferencias [45].



**Figura 14.** Diagrama esquemático de salida simétrica de  $\pm 12 \text{ V}$ .

La Figura 14 ilustra el bloque encargado de generar una salida aislada de voltaje simétrico que permite alimentar sensores o módulos analógicos que requieran alimentación simétrica. Este bloque utiliza dos convertidores DC-DC B2412S-1W, conectados en serie y configurados para entregar salidas de  $\pm 12 \text{ V}$  referidas a una tierra flotante, cada convertidor puede entregar hasta 84 mA de corriente continua con aislamiento galvánico de 1 kV [46].

## IV. DISEÑO DE LA TARJETA PCB

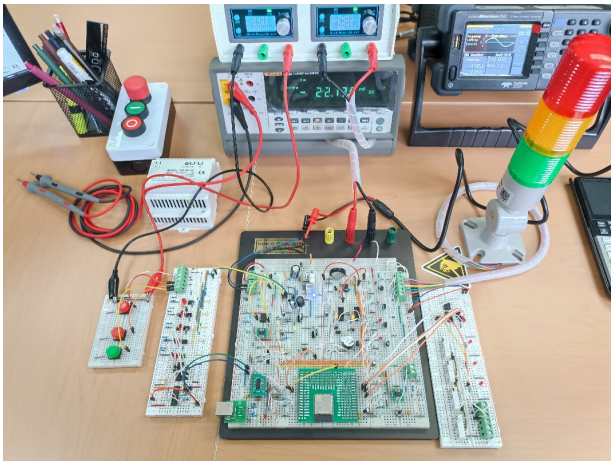
### A. Prototipo de Validación Funcional

Una vez realizada la selección de componentes del PLC, se procedió a la implementación del prototipo. El circuito se ensambló en protoboards dentro del laboratorio, donde se efectuaron pruebas unitarias y de integración para validar el correcto funcionamiento de cada bloque diseñado. En esta



etapa, se realizaron mediciones directas de niveles de tensión, se evaluaron los tiempos de respuesta en las entradas y salidas, y se verificó la comunicación entre los distintos módulos funcionales (microcontrolador con expansores I<sup>2</sup>C, RTC), dichas pruebas fueron realizadas dentro del laboratorio de prueba con equipos de medición y prueba profesionales. Estos ensayos preliminares confirmaron la operación individual de cada componente y la correcta interacción entre los bloques, asegurando la viabilidad del diseño antes de proceder a la fabricación de la tarjeta final. La Figura 15 presenta el prototipo utilizado para estas validaciones funcionales.

**Figura 15.** Ensamble funcional del prototipo en protoboards durante



las pruebas de validación del diseño.

### B. Diseño de PCB

El diseño se realizó conforme a estándares internacionales que garantizan la confiabilidad, seguridad y calidad del producto final. Se consideraron las siguientes normativas:

-*IPC-2221B* [47]: Norma general para el diseño de placas de circuito impreso, establece los requisitos mínimos para el espaciado entre conductores, dimensiones de pistas y vías, selección del espesor del cobre, aislamiento, y consideraciones térmicas. Proporciona los lineamientos base para asegurar manufacturabilidad, seguridad eléctrica y durabilidad del diseño.

-*IPC-A-610* [48]: Estándar de aceptabilidad para ensamblajes electrónicos. Define los criterios de inspección visual y calidad para las soldaduras, montaje de componentes y acabados. Es ampliamente utilizado para certificar la calidad de ensamblajes en la industria electrónica.

#### • Consideraciones Técnicas

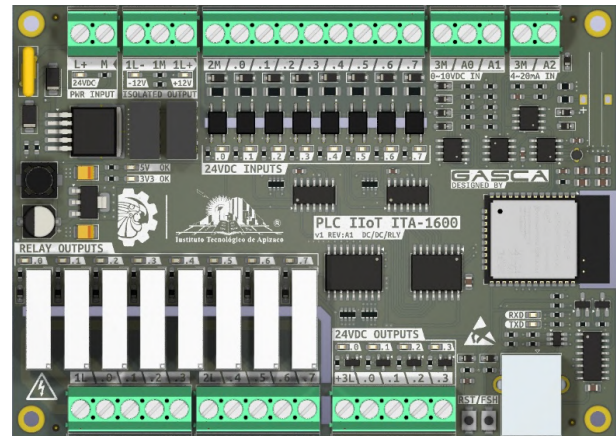
El acomodo de los componentes se realizó tomando en cuenta las dimensiones del gabinete, empleando una PCB de 122.6 mm × 87.7 mm. La distribución se organizó por bloques funcionales (entradas, salidas, fuente de alimentación y procesamiento), priorizando la separación física y la reducción de interferencia electromagnética (EMI). El diseño siguió las

recomendaciones de la norma IPC-2221, manteniendo una separación clara entre las zonas de potencia y las de señal, con el fin de evitar acoplamientos parásitos.

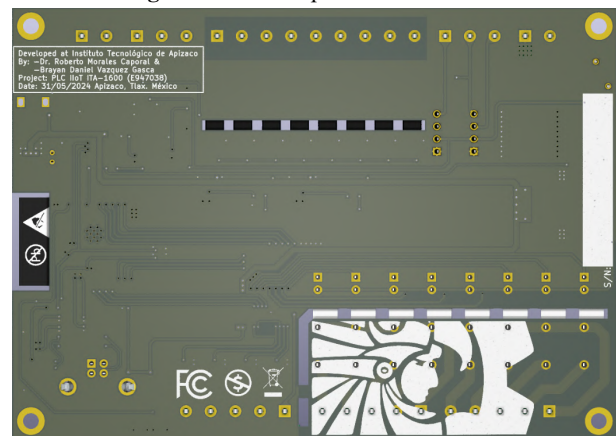
Se aplicaron planos de tierra en ambas capas para mejorar la integridad de señal y el ruido EMI. Las pistas de potencia, diseñadas para soportar hasta 5 A (relevadores), se dimensionaron con un ancho de 2.7 mm, distribuidas en ambas caras, conforme a cálculos basados en IPC-2221 para asegurar una adecuada disipación térmica.

Las señales de bajo nivel se trazaron con pistas más delgadas, con separación suficiente para evitar diafonía. En las zonas críticas, como los optoacopladores y relevadores, se implementaron ranuras de aislamiento de 2 mm, incrementando la distancia de fuga para prevenir arcos eléctricos [49].

El uso de herramientas CAD especializadas fue esencial en este proceso, permitiendo el diseño esquemático, la disposición de componentes, el trazado de pistas y la ejecución de verificaciones automáticas de reglas de diseño (DRC). Estas herramientas también permiten generar una visualización tridimensional (3D) del diseño, como se muestra en las Figuras 16 y 17, facilitando la validación de la integración mecánica, el posicionamiento correcto de los componentes y la compatibilidad dimensional con el gabinete. Esta verificación visual es crucial antes de proceder a la generación de archivos de fabricación.



**Figura 16.** Vista superior de modelo 3D



**Figura 17.** Vista inferior de modelo 3D.

C. Fabricación y Ensamble

Una vez finalizado el diseño de la PCB y verificado mediante simulación y visualización tridimensional, se procedió a la generación de los archivos de fabricación Gerber, estos archivos fueron elaborados de acuerdo con las especificaciones previamente establecidas en las reglas de diseño, garantizando compatibilidad con procesos industriales de fabricación en doble capa, calidad Clase 2, y materiales dieléctricos FR4 con acabado superficial estándar.

Tras la recepción de las placas de circuito impreso (PCBs), se llevó a cabo una inspección visual inicial bajo los lineamientos establecidos por la norma IPC-A-600, con el objetivo de verificar la calidad de manufactura, el estado de los pads, la alineación de las serigrafías, y la integridad del cobre y de las vías.

Posteriormente, se procedió al ensamblaje manual de los componentes eléctricos y electrónicos sobre las PCBs, soldando así un total de 198. Para asegurar la correcta colocación de cada componente se utilizó una lista de materiales (BOM) interactiva con vista esquemática, que permite identificar de manera precisa la ubicación de cada referencia. Esto fue útil, debido a que, para optimizar espacio no se imprimieron referencias tipo "R1", "U1", etc., en la serigrafía, manteniendo únicamente las marcas de polaridad y orientación de cada componente.

Una vez finalizado el montaje, se efectuó una inspección visual completa de la tarjeta de circuito impreso ensamblada (PCBA) utilizando microscopio digital, conforme a los criterios de aceptabilidad establecidos por la norma IPC-A-610 para productos Clase 2. Se evaluaron aspectos como la forma de las soldaduras, la presencia de puentes, la alineación de terminales y la limpieza del sustrato.

V. RESULTADOS

Una vez completado el proceso de diseño, fabricación y ensamblaje del PLC IIoT ITA-1600, se presenta el dispositivo final completamente ensamblado y montado en su gabinete, destacando su estructura física, distribución y características técnicas principales.

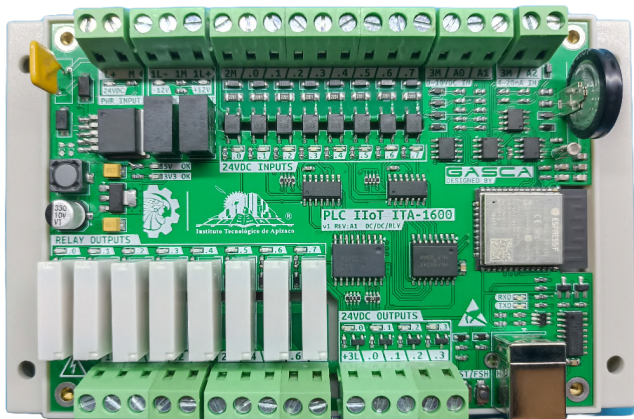


Figura 18. Vista del PLC IIoT ITA-1600 completamente ensamblado.

La Figura 18 muestra el aspecto final del controlador, cuyas especificaciones principales se resumen en la Tabla I. La documentación del proyecto se puede encontrar en el repositorio oficial en GitHub [50].

Tabla I. Especificaciones técnicas del PLC IIoT ITA-1600

Categoría	Especificación
Indicadores	Indicadores LED
Montaje	Sobre perfil DIN de 35 mm
Alimentación	24 VDC nominal (22–25 VDC) <ul style="list-style-type: none"><li>• Protección de polaridad: Sí</li></ul>
RTC	Respaldo de hora: 48 horas (sin energía)
Entradas Digitales	8 canales (12–24 VDC) <ul style="list-style-type: none"><li>• Aislamiento: 3.75 kV</li><li>• Frecuencia: hasta 1 kHz</li></ul>
Entradas Analógicas	2× (0–10 V, > 1 MΩ) • 1× (4–20 mA, 150 Ω) <ul style="list-style-type: none"><li>• Protección: hasta 24 V</li><li>• Sin aislamiento</li></ul>
Salidas a Relevador	8 canales (4×2 grupos) <ul style="list-style-type: none"><li>• 250 VAC/30 VDC, 5 A máx.</li><li>• Vida útil: 50,000 ciclos</li></ul>
Salidas Digitales	4 canales tipo N-MOS <ul style="list-style-type: none"><li>• 24 VDC, 100 mA máx.</li><li>• Sin protección contra cortos</li></ul>
Conectividad	<ul style="list-style-type: none"><li>• Wi-Fi 802.11b/g/n (150 Mbps máx.)</li><li>• Bluetooth 4.2 BLE + BR/EDR</li></ul>
CPU	ESP32-D0WD-V3 / ESP32-D0WDR2-V3 <ul style="list-style-type: none"><li>• 2 núcleos @ 240 MHz</li><li>• 520 KB SRAM + 2 MB PSRAM</li></ul>
Condiciones ambientales	<ul style="list-style-type: none"><li>• Operación: -20 °C a 55 °C</li><li>• Almacenaje: -40 °C a 70 °C</li></ul>
Dimensiones	145 × 90 × 40 mm (Ancho × Alto × Profundidad)

Para validar el correcto funcionamiento se realizaron pruebas de validación en laboratorio, incluyendo mediciones de niveles de tensión, tiempos de respuesta y la operación de entradas y salidas bajo cargas como motores monofásicos. Estas pruebas, ejecutadas tanto en los protoboards iniciales como en el prototipo final de la PCB, confirmaron la integridad de la señal y la consistencia operativa del PLC IIoT ITA-1600 con su diseño, demostrando su viabilidad funcional en un entorno controlado.

VI. CONCLUSIONES

Este trabajo presentó el desarrollo del PLC IIoT ITA-1600 orientado a aplicaciones industriales y educativas, que integra entradas y salidas digitales y analógicas, comunicación USB-UART y un reloj en tiempo real. El diseño de hardware se llevó a cabo siguiendo la metodología del modelo en V, abarcando desde la concepción inicial hasta la implementación del dispositivo físico. Desde las primeras etapas, se priorizó la



robustez eléctrica, aplicando buenas prácticas de diseño electrónico, como el uso de planos de tierra, ranuras de aislamiento y dimensionamiento de pistas conforme a las normativas internacionales.

Este dispositivo sienta una base sólida para futuros trabajos de investigación y desarrollo, incluyendo la implementación de protocolos de comunicación IIoT avanzados (como MQTT) para la integración directa con plataformas de análisis en la nube. Las pruebas de validación realizadas en laboratorio confirman su operación, sentando las bases para futuras validaciones de rendimiento en entornos industriales reales, como pruebas de compatibilidad electromagnética (EMI) y resistencia a la vibración, entre otras.

## REFERENCIAS

- [1] M. Noor-A-Rahim, J. John, F. Firyaguna, H. H. R. Sherazi, S. Kushch, A. Vijayan, E. O'Connell, D. Pesch, B. O'Flynn, W. O'Brien, M. Hayes, and E. Armstrong, "Wireless Communications for Smart Manufacturing and Industrial IoT: Existing Technologies, 5G and Beyond," *Sensors*, vol. 23, no. 1, p. 73, 2023, doi: 10.3390/s23010073.
- [2] K.-C. Yao, C.-L. Lin, and C.-H. Pan, "Industrial Sustainable Development: The Development Trend of Programmable Logic Controller Technology," *Sustainability*, vol. 16, no. 14, p. 6230, 2024, doi: 10.3390/su16146230.
- [3] Z. Liu, F. Davoli, and D. Borsatti, "Industrial Internet of Things (IIoT): Trends and Technologies," *Future Internet*, vol. 17, no. 5, p. 213, 2025. doi: 10.3390/fi17050213.
- [4] H. Xu, W. Yu, D. Griffith and N. Gollmie, "A Survey on Industrial Internet of Things: A Cyber-Physical Systems Perspective," in *IEEE Access*, vol. 6, pp. 78238-78259, 2018, doi: 10.1109/ACCESS.2018.2884906.
- [5] M. Würcher, "The evolution of PLCs driving Industry 4.0 forward: How robust and secure semiconductor solutions are providing the brains and the brawn in Next-Generation PLCs, enabling smart factories to meet increasing system requirements," Infineon Technologies, Germany, [Online]. Available: <https://tinyurl.com/2vu77daw>. [Accessed: May 12, 2025].
- [6] L. L. Dhirani, E. Armstrong, and T. Newe, "Industrial IoT, Cyber Threats, and Standards Landscape: Evaluation and Roadmap," *Sensors*, vol. 21, no. 11, p. 3901, 2021, doi: 10.3390/s21113901.
- [7] J. Hajda, R. Jakuszcwski, and S. Ogonowski, "Security Challenges in Industry 4.0 PLC Systems," *\*Appl. Sci.\**, vol. 11, no. 21, p. 9785, 2021, doi: 10.3390/app11219785.
- [8] L. I. Minchala, J. Peralta, P. Mata-Quevedo, and J. Rojas, "An Approach to Industrial Automation Based on Low-Cost Embedded Platforms and Open Software," *Appl. Sci.*, vol. 10, no. 14, p. 4696, 2020. doi: 10.3390/app10144696
- [9] A. Soriano, L. Marin, M. Vallés, A. Valera, and P. Albertos, "Low Cost Platform for Automatic Control Education Based on Open Hardware," *IFAC Proc. Volumes*, vol. 47, no. 3, pp. 9044-9050, 2014.
- [10] Espressif Systems, "ESP32" 2024. [Online]. Available: <https://www.espressif.com/en/products/socs/esp32>. [Accessed: May 13, 2025]
- [11] M. A. Sehr et al., "Programmable Logic Controllers in the Context of Industry 4.0," in *IEEE Transactions on Industrial Informatics*, vol. 17, no. 5, pp. 3523-3533, May 2021, doi: 10.1109/TII.2020.3007764.
- [12] K.-C. Yao, C.-L. Lin, and C.-H. Pan, "Industrial Sustainable Development: The Development Trend of Programmable Logic Controller Technology," *Sustainability*, vol. 16, no. 14, Art. no. 6230, Jul. 2024. doi: 10.3390/su16146230.
- [13] F. J. Folgado, D. Calderón, I. González, and A. J. Calderón, "Review of Industry 4.0 from the Perspective of Automation and Supervision Systems: Definitions, Architectures and Recent Trends," *Electronics*, vol. 13, no. 4, Art. no. 782, Feb. 2024. doi: 10.3390/electronics13040782.
- [14] Z. Parham, "Enabling Sustainability through all Levels of the Automation Pyramid," *Software Toolbox Blog*, 25 Abr. 2024. [En línea]. Disponible en: <https://blog.softwaretoolbox.com/earth-day-automation-pyramid>
- [15] B. Joshi, "A Study of the Various Communication Protocols Used in PLC Systems: Modbus, Profibus, Ethernet/IP and Their Implementations, Evolution and Comparative Analysis," *International Research Journal of Modernization in Engineering Technology and Science*, vol. 6, no. 4, pp. 3535-3542, Apr. 2024, doi: 10.56726/IRJMET.
- [16] E. Oztemel and S. Gursev, "Literature review of Industry 4.0 and related technologies," *Journal of Intelligent Manufacturing*, vol. 31, no. 1, pp. 127–182, Jan. 2020, doi: 10.1007/s10845-018-1433-8.
- [17] S. S. Singh, "Industry 4.0: A Comprehensive Review and Future Perspectives," *International Journal for Research in Applied Science & Engineering Technology (IJRASET)*, vol. 11, no. VII, pp. 1945–1947, Jul. 2023.
- [18] S. Munirathinam, "Industry 4.0: Industrial Internet of Things (IIOT)," *Advances in Computers*, vol. 117, Academic Press, 2020, pp. 129–164. doi: 10.1016/bs.adcom.2019.10.010
- [19] M. Soori, B. Arezoo, and R. Dastres, "Internet of things for smart factories in industry 4.0, a review," *Internet of Things and Cyber-Physical Systems*, vol. 3, pp. 192–204, 2023. doi: 10.1016/j.iotcps.2023.04.006.
- [20] P. O'Donovan, C. Programmable Logic Controllers in the Context of Industry 4.0, K. Bruton, and D. T. J. O'Sullivan, "A fog computing industrial cyber-physical system for embedded low-latency machine learning Industry 4.0 applications," *Manufacturing Letters*, vol. 15, Part B, pp. 139–142, Jan. 2018, doi: 10.1016/j.mfglet.2018.01.005.
- [21] C. Yang, S. Lan, W. Shen, L. Wang and G. Q. Huang, "Software-defined Cloud Manufacturing with Edge Computing for Industry 4.0," *2020 International Wireless Communications and Mobile Computing (IWCMC)*, Limassol, Cyprus, 2020, pp. 1618-1623, doi: 10.1109/IWCMC48107.2020.9148467.
- [22] J.-Y. Chen, K.-C. Tai, and G.-C. Chen, "Application of Programmable Logic Controller to Build-up an Intelligent Industry 4.0 Platform," *Procedia CIRP*, vol. 63, pp. 150–155, 2017, doi: 10.1016/j.procir.2017.03.116.
- [23] R. Morales-Caporal, A. S. Reyes-Galaviz, J. F. Casco Vasquez, and H. P. Martinez-Hernandez, "Development and Implementation of a Relay Switch Based on WiFi Technology," in *17th International Conference on Electrical Engineering, Computing Science and Automatic Control (CCE)*, Mexico, 2020, pp. 1–6. doi: 10.1109/CCE50788.2020.9299142.
- [24] Hardware and Systems Engineering Design, "V-model in Electrical Systems Engineering," *hwe.design*, [Online]. Available: <https://tinyurl.com/maz33urd> [Accessed: May 18, 2025].
- [25] R. Morales-Caporal, R. E. Pérez-Loaiza, E. Bonilla-Huerta, J. Hernández-Pérez, and J. J. Rangel-Magdaleno, "IoT-Based LPG Level Sensor for Domestic Stationary Tanks with Data Sharing to a Filling Plant to Optimize Distribution Routes,"

- Future Internet, vol. 16, no. 12, p. 479, Dec. 2024, doi: 10.3390/fi16120479.
- [26] B5819W; *Datasheet*. Available online: <https://tinyurl.com/mrx3xh2>. (accessed on 20 May 2025).
- [27] EL357; *Datasheet*. Available online: <https://tinyurl.com/8tyh94kp>. (accessed on 20 May 2025).
- [28] 74HC14D; *Datasheet*. Available online: <https://tinyurl.com/3skua6tp>. (accessed on 20 May 2025).
- [29] PCF8574; *Datasheet*. Available online: <https://tinyurl.com/mtbsbhrv>. (accessed on 20 May 2025).
- [30] P. Horowitz and W. Hill, *The Art of Electronics*, 3rd ed. Cambridge, U.K.: Cambridge University Press, 2015.
- [31] LM358; *Datasheet*. Available online: <https://tinyurl.com/2x27f7yy> (accessed on 21 May 2025).
- [32] MCP6002; *Datasheet*. Available online: <https://tinyurl.com/bj87hyze>. (accessed on 21 May 2025).
- [33] A. Devasia, "Why is 4-20 mA Current Used for Industrial Analog Sensors?" *control.com*, 29 September 2022. [Online]. Available: <https://tinyurl.com/mtm3mpx2>. [Accessed: 21 May 2025].
- [34] CH340C; *Datasheet*. Available online: <https://tinyurl.com/35x3pvwh>. (accessed on 22 May 2025).
- [35] USBLC6-2; *Datasheet*. Available online: <https://tinyurl.com/3zufwtpf>. (accessed on 22 May 2025).
- [36] DS1307; *Datasheet*. Available online: <https://tinyurl.com/yhmzxa26>. (accessed on 23 May 2025).
- [37] G. Capwell, "Using Supercapacitors as RTC Power Backup," *Abrakon*, Application Note, Jan. 2025. [Online]. Available: <https://tinyurl.com/78u9vcst>. [Accessed: 23 May 2025].
- [38] R. Kalbitz and F. Puhane, "Supercapacitor – A Guide for the Design-In Process," *Würth Elektronik*, Application Note ANP077, Aug. 2020. [Online]. Available: <https://tinyurl.com/yb3kv73p>. [Accessed: 1 June 2025].
- [39] ULN2803; *Datasheet*. Available online: <https://tinyurl.com/6m2h25yc>. (accessed on 23 May 2025).
- [40] HF49FD/024-1H12; *Datasheet*. Available online: <https://tinyurl.com/5n7kbzpz>. (accessed on 24 May 2025).
- [41] AO3400; *Datasheet*. Available online: <https://tinyurl.com/5n7enj2p>. (accessed on 24 May 2025).
- [42] Toshiba Electronic Devices & Storage Corporation, "MOSFET Gate Drive Circuit," Application Note AKX00068, Jul. 2018. [Online]. Available: <https://tinyurl.com/25zyyb8a>. [Accessed: 25 May 2025].
- [43] SS34; *Datasheet*. Available online: <https://tinyurl.com/mrx776x9>. (accessed on 24 May 2025).
- [44] XL2596S-5.0E1; *Datasheet*. Available online: <https://tinyurl.com/3f3pwrz8>. (accessed on 24 May 2025).
- [45] AMS1117-3.3; *Datasheet*. Available online: <https://tinyurl.com/3jb6wte6>. (accessed on 24 May 2025).
- [46] B2412S-1W; *Datasheet*. Available online: <https://tinyurl.com/y7e9du74>. (accessed on 25 May 2025).
- [47] IPC, IPC-2221B, *Generic Standard on Printed Board Design*. Bannockburn, IL, USA: IPC, November 2012.
- [48] IPC, IPC-A-610G, *Acceptability of Electronic Assemblies*. Bannockburn, IL, USA: IPC, October 2017.
- [49] M. Faheemuddin, "The Importance of PCB Line Spacing (Creepage & Clearance)," *ProtoExpress*, 22 March 2024. [Online]. Available: <https://tinyurl.com/4ccs955>. [Accessed: 28 May 2025].
- [50] *PLC IIoT ITA-1600*, [Online]. Available: <https://github.com/gasca-cv/ITA-1600>



**Brayan Daniel Vazquez-Gasca** recibió el título de licenciatura en Ingeniería Electrónica con especialidad en automatización y control de la industria 4.0 por el Tecnológico Nacional de México / Instituto Tecnológico de Apizaco, Tlaxcala, México, en 2024. Actualmente cursa la maestría en Ingeniería Mecatrónica en la misma institución. Sus intereses de investigación incluyen el diseño e implementación de sistemas electrónicos embebidos, dispositivos IIoT e instrumentación industrial.



**Roberto Morales-Caporal**, received the B.E. degree in electromechanical engineering from the National Technological Institute of Mexico—Campus Apizaco (TecNM-ITA), Apizaco, México, in 1999, the M.Sc. degree in electrical engineering from the Graduate and Research Department, Higher School of Mechanical and Electrical Engineering (ESIME-Z), National Polytechnic Institute (IPN), México City, México, in 2001, and the Dr.-Ing. degree in electrical engineering from the University of Siegen, Siegen, Germany, in 2007. Since 2008, he has been a full-time Professor—Researcher at the Division of Graduate Studies and Research (TecNM-ITA). His research interests include discrete-time control systems, predictive control of power converters, predictive control of ac motor drives, hardware design, and the IoT. Prof. Morales-Caporal is a member of the National Research Fellows System Level 2 (SNII-2), Secretariat of Science, Humanities, Technology and Innovation (SECIHTI), México.



**Carlos Bueno-Avendaño** Doctor en Dispositivos Semiconductores. Graduado de la Benemérita Universidad Autónoma de Puebla. Profesor-Tecnológico Nacional de México, Instituto Tecnológico de Apizaco en el Departamento de Eléctrica-Electrónica (2019 a la fecha). Participando también en el área de posgrado en la Maestría en Ingeniería Mecatrónica y el Doctorado en Ciencias Profesor-Investigador BUAP Facultad de Ingeniería (2017-2020) SNI nivel 1 desde 2022 a la fecha. Área de trabajo: Mecatrónica, Ciencia de materiales, Nanociencia y nanotecnología, nano y micro-estructuras de ZnO y TiO<sub>2</sub>. Sensores de gas y foto sensores, celdas solares de óxidos metálicos.



**Rodolfo Eleazar Perez-Loaiza** has received his B.Sc. degree in Industrial Engineering and M.Sc. in Computer Science from Instituto Tecnológico de Apizaco (ITA), Apizaco, Tlaxcala, México, in 1999 and 2022, respectively, and the Ph. D. degree in Logistics and Supply Chain Management from Universidad Popular Autónoma del Estado de Puebla (UPAEP), in 2015. He is currently a full-time Professor of the division of graduate studies and research department, ITA. His area of interest is related to logistics network optimization, discrete simulation and management operations.



**Roy Maza-González** recibió el título de licenciado en Ingeniería Electrónica con especialidad en Control y Automatización en la Industria 4.0 por el Instituto Tecnológico de Apizaco, Tlaxcala, México en 2024 Actualmente cursa la maestría en Ingeniería Mecatrónica en la misma institución. Sus intereses de investigación incluyen el diseño electrónico, convertidores de potencia, sistemas de control digital y el aprovechamiento de energías renovables.

Fecha de recepción: 05 de junio de 2025, fecha de publicación en línea: octubre de 2025.

# Exploración Teórica de Arquitecturas de Microservicios en Entornos Contenerizados

**Samantha Yazmin Elizalde-Valencia<sup>1</sup>, José Juan Hernández-Mora<sup>2</sup>, María Guadalupe Medina-Barrera<sup>3</sup>,  
y Juan Ramos-Ramos<sup>4</sup>**

<sup>1</sup> Tecnológico Nacional de México – Instituto Tecnológico de Apizaco. San Andrés Ahuashuatepec, Municipio de Tzompantepec, Tlaxcala, C.P. 90491, México.

<sup>2</sup> Tecnológico Nacional de México – Instituto Tecnológico de Apizaco. San Andrés Ahuashuatepec, Municipio de Tzompantepec, Tlaxcala, C.P. 90491, México.

<sup>3</sup> Tecnológico Nacional de México – Instituto Tecnológico de Apizaco. San Andrés Ahuashuatepec, Municipio de Tzompantepec, Tlaxcala, C.P. 90491, México.

<sup>4</sup> Tecnológico Nacional de México – Instituto Tecnológico de Apizaco. San Andrés Ahuashuatepec, Municipio de Tzompantepec, Tlaxcala, C.P. 90491, México.

Autor de correspondencia: Autor. Samantha Yazmin Elizalde-Valencia (correo electrónico: [m23370041@apizaco.tecnm.mx](mailto:m23370041@apizaco.tecnm.mx)).

**Abstract-** This article analyzes container-based microservices architectures as a modern alternative to monolithic systems, highlighting their advantages in scalability, deployment flexibility, and fault isolation. Using a methodological approach that combines technology research engineering and agile practices, it examines how microservices address the key limitations of traditional architectures while introducing new operational complexities.

The findings reveal that microservices offer superior modularity and development speed, particularly for cloud applications. Containerization enables the independent deployment of services and the efficient use of resources, although it requires robust monitoring solutions for distributed environments. The study highlights how agile methodologies effectively manage and promote continuous collaboration with stakeholders.

The comparative analysis shows that microservices outperform monoliths in scenarios that demand high availability and rapid scaling. However, successful adoption requires careful consideration of organizational factors and technical challenges such as data consistency. The research provides insights for organizations transitioning to microservices.

**Keywords:** System Architecture, Microservices, Containerization, Scalability.

## I. INTRODUCCIÓN

En la creación de software, las arquitecturas monolíticas han predominado, estas son arquitecturas que incorporan todos los elementos, tales como interfaz de usuario, lógica empresarial y acceso a datos, en una sola unidad de despliegue [1]. Este modelo brinda beneficios iniciales, tales como sencillez en el desarrollo y despliegues conjuntos, lo que lo convierte en una buena opción para proyectos de tamaño reducido o equipos pequeños [2]. No obstante, conforme las aplicaciones se vuelven más complejas y los equipos se expanden, los sistemas monolíticos se topan con retos como problemas de mantenimiento, acoplamiento excesivo y un código complicado de administrar [3].

Las arquitecturas basadas en microservicios han surgido como una alternativa que posibilita dividir aplicaciones en servicios autónomos, cada uno con su propia lógica, mientras que la posibilidad de ejecutarse en contenedores asegura portabilidad y escalabilidad [4]. Este enfoque promueve la implementación constante, disminuye los peligros vinculados a modificaciones en el código y potencia la habilidad para ajustarse a nuevas demandas.

Por esta razón, compañías líderes como Netflix, Uber y Amazon, operan bajo estas estructuras. Netflix, vanguardista en la implementación de microservicios, emplea esta estructura para servir a más de 230 millones de usuarios alrededor del mundo. Al separar

características (como motores de sugerencias, transmisión de video y perfiles de usuario), Netflix consigue una elevada tolerancia a errores y un despliegue rápido de funciones. De forma parecida, el sistema de Uber basado en microservicios administra tareas en tiempo real, tales como la asignación de conductores, la geolocalización y el procesamiento de pagos, conservando respuestas con poca latencia. Amazon ilustra aún más este método, en el que servicios autónomos gestionan la administración de inventarios, pasarelas de pago y sugerencias a medida, facilitando el desarrollo simultáneo y la escalabilidad [5].

Este artículo analiza las bases, beneficios y retos de implementar una arquitectura de microservicios en contenedores. Además, se analizan casos de estudio y buenas prácticas vinculadas a la puesta en marcha de microservicios.

## II. PROBLEMÁTICA

Las arquitecturas monolíticas y los sistemas *legacy* (Sistemas obsoletos, críticos para operaciones empresariales, pero con alta dependencia de tecnologías desactualizadas y difícil mantenimiento) [6], presentan retos en entornos tecnológicos modernos, donde la agilidad y la escalabilidad son requisitos esenciales. A pesar de ser inicialmente eficaces, estos sistemas producen elevados gastos operativos debido a la falta de especialistas en tecnologías anticuadas y la complejidad de su mantenimiento, además de generar riesgos de seguridad al no poder poner en marcha actualizaciones esenciales [7]. Esta dificultad se intensifica cuando se compara con las necesidades actuales de integración con paradigmas como *cloud computing* e *IoT* (Internet of Things o Internet de las cosas en español). En este contexto, la arquitectura de microservicios, implementada por líderes tecnológicos como Netflix y Amazon, brinda beneficios clave al desacoplar funcionalidades en servicios ligeros, reutilizables y fácilmente escalables [8]. Precisamente por estas limitaciones de los sistemas tradicionales y las posibilidades que brindan los nuevos enfoques, se expone a continuación un estudio de las arquitecturas de microservicios, valorando su habilidad para abordar estos retos.

## III. ESTADO DEL ARTE

A pesar de que todavía existen sistemas que funcionan bajo esquemas anticuados y arquitecturas rígidas, cada vez más organizaciones están adoptando soluciones

basadas en microservicios y contenedores, evidenciando su efectividad en ambientes de producción. A continuación, se muestran ejemplos específicos que evidencian estas implementaciones exitosas.

En los casos analizados, los sistemas creados con estos métodos han demostrado avances notables en su capacidad de respuesta, mantenibilidad y eficiencia operativa, particularmente cuando se combinan con metodologías ágiles.

La investigación de Saransig [9] expone el desarrollo histórico de la arquitectura de software, centrándose en las arquitecturas monolíticas y de microservicios. La hipótesis principal plantea que, al implementarse en contenedores, la arquitectura de microservicios incrementa el rendimiento en un 15% en comparación con la arquitectura monolítica.

El estudio resalta que el análisis comparativo de rendimiento corrobora la hipótesis propuesta, evidenciando que las aplicaciones con arquitectura de microservicios en contenedores logran optimizar el uso de los recursos en comparación a las arquitecturas monolíticas. Estos hallazgos no solo satisfacen las metas concretas de la investigación, sino que también cuentan con el apoyo de investigaciones anteriores, incrementando la fiabilidad de los descubrimientos y posibilitando futuros estudios.

Aunque la obra se centra principalmente en la comparación de arquitecturas, también aborda las herramientas utilizadas para cada una de ellas y las estructuras en las que se están implementando. Este estudio ofrece una visión clara de cómo operan estas arquitecturas desde ese punto de vista, lo que aporta de manera significativa a la investigación en curso.

Por otro lado, Indrasiri [10], analiza la aplicación de microservicios en el desarrollo de aplicaciones, resaltando su habilidad para incrementar la escalabilidad y la rapidez frente a las arquitecturas monolíticas. Se utiliza una metodología basada en la generación e implementación de microservicios presentados como imágenes de contenedores, lo que simplifica su administración mediante herramientas como *Kubernetes* (Permite orquestar varios contenedores en distintos servidores como si fueran uno solo) [11]. Los hallazgos indican que esta arquitectura facilita una implementación ágil y una gestión más eficiente de la comunicación entre servicios, aspecto vital para aplicaciones complejas.

Además, la investigación de Auer [12] sugiere un enfoque de evaluación fundamentado en pruebas para la transición de sistemas monolíticos a microservicios, con el objetivo de reconocer indicadores esenciales como el rendimiento, la escalabilidad y los costos de



infraestructura. Los resultados indican que los microservicios en contenedores exhiben un desempeño superior (hasta un 15% superior en peticiones/segundo) en comparación con los monolíticos, aunque demandan un uso más intensivo de CPU debido a la sobrecarga de la red. La capacidad para escalar servicios de manera individual disminuye los gastos operativos, comprobando su efectividad en casos de prueba.

Respecto a la tesis de García [13], el propósito principal es desarrollar una aplicación que simplifique la adopción de animales de compañía, además de sensibilizar a la población acerca del mantenimiento y posesión de mascotas. Este problema necesita una respuesta que pueda expandirse en cuanto a usuarios y funciones. Para ello, se decide emplear un enfoque ágil que posibilita segmentar el proyecto en sprints o etapas breves. De igual manera, se propone como meta principal el diseño de API REST y contenedores virtuales.

La arquitectura elegida fusiona los fundamentos de la arquitectura hexagonal con la arquitectura de cebolla. Por lo tanto, se puede apreciar una base firme para construir un sistema que no solo es eficaz en cuanto a recursos, sino que también se puede ajustar con facilidad a modificaciones futuras.

En la tesis de Abad [14], examina el caso del Banco Central de Ecuador, que afrontaba desafíos importantes debido a su sistema monolítico convencional, tales como flexibilidad limitada y escalabilidad, fallos extendidos del sistema, problemas para incorporar nuevas tecnologías y cumplir con normativas, además de un desempeño restringido y un mantenimiento complicado. Para resolver estos problemas, la organización decidió cambiar a una arquitectura fundamentada en microservicios y microfrontends, que facilita un desarrollo modular y desacoplado, la reutilización de componentes en varios procesos y una escalabilidad autónoma por servicio. Los hallazgos de esta migración evidenciaron que los ambientes de desarrollo aislados son sumamente escalables y tienen la habilidad de ajustarse a demandas variables, garantizando así un desempeño óptimo y una escalabilidad eficaz. Además, los test de carga y estrés proporcionaron resultados confiables que corroboran la capacidad de la solución sugerida, corroborando que estas arquitecturas posibilitan a las organizaciones construir y administrar sistemas de software con mayor eficiencia, velocidad y capacidad de adaptación a las exigencias tecnológicas contemporáneas.

#### IV. ARQUITECTURA MONOLÍTICA

Para seguir con este estudio, es crucial mantener los conceptos básicos, iniciando con la arquitectura monolítica, que es un modelo de diseño de software en el que todos los elementos de una aplicación (interfaz de usuario, lógica de negocio y capa de acceso a datos) se integran en una única unidad de despliegue y comparten el mismo espacio de memoria y recursos [15]. Este enfoque se distingue por su fuerte interconexión y dependencia directa entre sus módulos, lo que complica la modificación individual de componentes, como se muestra en la Figura 1 [16]. La aplicación se establece como un único artefacto ejecutable, lo que facilita la distribución inicial pero restringe la actualización de funciones específicas.

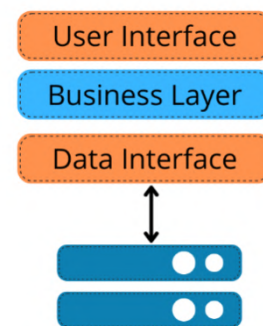
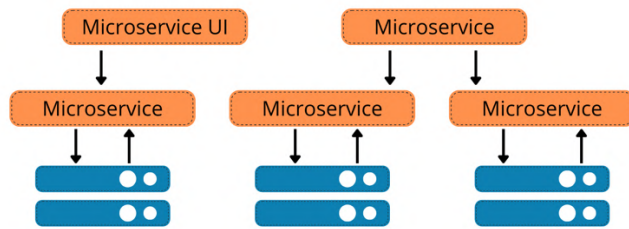


Figura 1. Arquitectura Monolítica.

A pesar de que su sencillez permite su desarrollo en fases iniciales, los sistemas monolíticos se topan con retos críticos en términos de escalabilidad (al necesitar duplicar toda la aplicación para incrementar su capacidad) y mantenimiento (dado que las modificaciones impactan en el sistema en su totalidad).

#### V. ARQUITECTURA DE MICROSERVICIOS

Los microservicios son una forma de arquitectura derivada de la Arquitectura Orientada a Servicios (SOA en inglés), que se distingue por la fragmentación de aplicaciones en servicios pequeños, autónomos y de alta especialización. Cada microservicio se centra en una única funcionalidad corporativa, se desarrolla de forma autónoma y se relaciona con otros servicios a través de interfaces claramente establecidas, usualmente a través de protocolos como REST (Figura 2) [16].



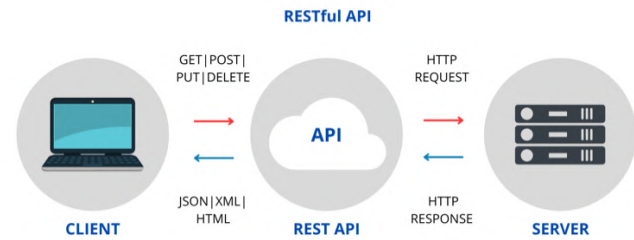
**Figura 2.** Arquitectura de Microservicios.

Una de las características fundamentales de los microservicios es que cada servicio puede ser creado, desplegado y escalado de manera autónoma, empleando distintas tecnologías y lenguajes de programación según se requiera. Esta estructura se diferencia de los sistemas monolíticos, en los que todas las funcionalidades se encuentran unidas en una única unidad de despliegue. Los microservicios brindan beneficios tales como una mayor resistencia, escalabilidad y sencillez para adoptar nuevas tecnologías. No obstante, también plantean retos, tales como la complejidad en la administración de la comunicación entre servicios, y la demanda de diversas habilidades técnicas en los equipos de desarrollo [17].

## VI. API REST

Una API RESTful (Representational State Transfer) es un enfoque arquitectónico para la creación de interfaces de programación de aplicaciones (APIs), como el protocolo HTTP, con el objetivo de facilitar la comunicación entre sistemas.

De acuerdo con Amazon Web Services [18], las APIs RESTful se basan en recursos identificables a través de URIs (Uniform Resource Identifiers), donde cada recurso puede ser gestionado a través de las operaciones estándar de consulta (GET), creación (POST), actualización (PUT) y eliminación (DELETE), en la que cada petición del cliente al servidor debe incluir toda la información requerida para su procesamiento, optimizando así la escalabilidad y el desempeño del sistema. Entre sus mayores beneficios sobresalen su simplicidad, escalabilidad y compatibilidad con diversos formatos de datos como JSON o XML, lo que las hace una elección predominante para la incorporación de servicios en aplicaciones web y móviles.



**Figura 3.** Funcionamiento API RESTful.

La Figura 3 [19], muestra una parte del funcionamiento esencial que realizan las APIs RESTful, resaltando los procedimientos fundamentales (GET, POST, PUT y DELETE), además de los formatos de intercambio convencionales como JSON, XML y HTML. La imagen describe el proceso de comunicación entre cliente y servidor, un cliente inicia la comunicación enviando una solicitud HTTP a la API REST, que procesa la petición y se comunica con el servidor; en consecuencia, el servidor responde con un HTTP.

## VII. CONTENEDORES

Los contenedores han revolucionado la forma en que se desarrollan, implementan y ejecutan las aplicaciones en la actualidad. De acuerdo con Google Cloud [20], los contenedores son paquetes de software que contienen todo lo requerido para que una aplicación funcione de forma autónoma y eficiente: código, bibliotecas, herramientas y configuraciones, como se puede observar en la figura 4 [21]. Una de sus mayores fortalezas es la portabilidad, dado que pueden funcionar sin alteraciones en diferentes contextos (desarrollo local, producción o la nube), lo que permite una implementación consistente y disminuye los errores.

Además, su ligereza los convierte en perfectos para ambientes *cloud*, posibilitando la ejecución de múltiples aplicaciones en un solo servidor sin interrupciones, optimizando recursos y disminuyendo los gastos operativos.

Otro beneficio principal es su escalabilidad ágil y fácil. Los contenedores son una tecnología adaptable que revoluciona el desarrollo y la implementación de aplicaciones.

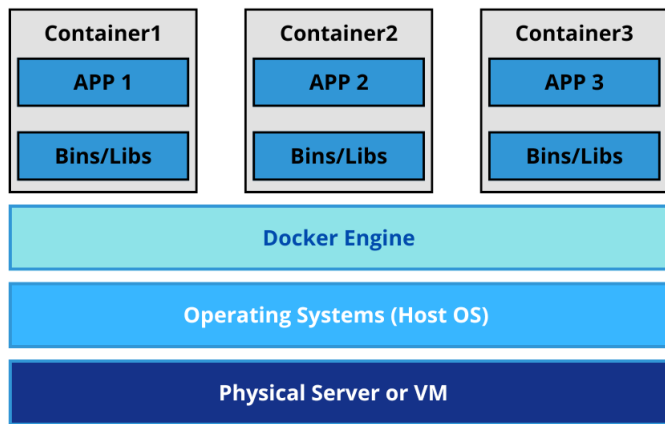


Figura 4. Estructura de contenedores de software.

## VIII. METODOLOGÍAS

Para llevar a cabo el estudio de las arquitecturas de microservicios en contenedores, se empleará un enfoque de investigación tecnológica en ingeniería. Este método es apropiado para proyectos que no buscan formular nuevas teorías, sino reconstruir procesos a través de la adaptación y optimización de soluciones ya existentes. La investigación tecnológica facilitará el análisis de soluciones anteriores, la elección de sus componentes más destacados e incorporarlos a las demandas del proyecto [22].

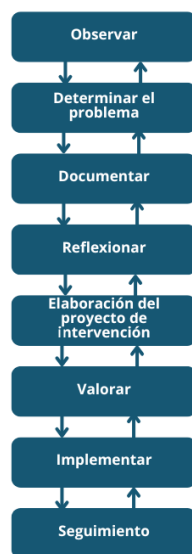


Figura 5. Metodología de investigación propuesta.

La figura 5 muestra un proceso iterativo que inicia con la identificación de necesidades especiales y la definición exacta del problema, para luego pasar a una etapa de documentación de soluciones ya existentes. Después, a través de un análisis crítico, se elabora un proyecto de intervención (como prototipos o

arquitecturas), que se evalúa en cuanto a factibilidad antes de su ejecución regulada. Luego, la observación de los resultados promueve modificaciones constantes, reiniciando el ciclo para mejorar la solución.

Mientras que en la etapa de intervención, se utilizarán técnicas ágiles, que mejoran la administración de proyectos de software a través de flexibilidad, constante cooperación con el cliente y entregas progresivas de productos funcionales. De acuerdo con Shafir [23], estas técnicas potencian la comunicación interna, incrementan la capacidad de adaptación a cambios y disminuyen los riesgos de fracaso. Elementos como el respaldo de la organización, la formación del equipo y la implicación directa del cliente son esenciales para su éxito. Asimismo, su método iterativo facilita la identificación de fallos en fases iniciales, optimizando recursos y gastos.



Figura 6. Metodología propuesta para desarrollo del proyecto de intervención.

Se inicia con la definición del problema, los objetivos del proyecto y la creación de un backlog con tareas priorizadas. Posteriormente, en la etapa de planificación se realizan iteraciones cortas (sprints) en las que el equipo selecciona las tareas más relevantes para desarrollarlas dentro de un flujo visual representado en un tablero Kanban, con columnas como “por hacer”, “en proceso” y “terminado”. A lo largo del proceso se llevan a cabo reuniones diarias breves para dar seguimiento, limitar el trabajo en curso y fomentar la colaboración. Al finalizar cada sprint se realiza una revisión de resultados y una retrospectiva para identificar áreas de mejora. Esta metodología permite adaptarse a los cambios, monitorear el avance en tiempo real y generar entregables funcionales durante todo el ciclo del proyecto.

Para fundamentar las bases de estas metodologías y la implementación de una arquitectura de microservicios, se trabajará en conjunto con el Instituto del Deporte de Tlaxcala (IDET). Las condiciones de su proyecto lo convierten en apropiado para probar este método, dado que necesita un sistema de alta durabilidad, facilidad para incorporar funciones y capacidad de escalado. La solución se organizará en microservicios autónomos, tales como el frontend, backend (que actúa como middleware), servicios de reportes y verificaciones de datos, entre otros. Este modelo facilitará la incorporación de nuevas funcionalidades a través de microservicios adicionales, sin alterar las operaciones actuales, asegurando de esta manera escalabilidad y modularidad.

### IX. TRABAJOS FUTUROS

Este artículo se centra en el estudio teórico de las arquitecturas de microservicios, tratando aspectos esenciales como las arquitecturas monolíticas y las arquitecturas fundamentadas en microservicios. Esta revisión proporciona un panorama que sirve como base para comprender las diferencias, ventajas y desafíos de cada enfoque, promoviendo de esta manera futuras investigaciones y avances en el área.

En trabajos posteriores se pretende profundizar en las metodologías utilizadas durante el proceso de investigación y en la elaboración del proyecto de intervención (Sistema de gestión médico deportiva del IDET), incluyendo la creación de una arquitectura que represente la interacción entre las diferentes capas del sistema. Además, se presentará una vista física que permita observar el funcionamiento real de una arquitectura de microservicios aplicada a un caso de prueba. También se detallarán aspectos técnicos como la configuración de APIs, contenedores y microservicios, lo cual permitirá comprender cómo se integran y comunican estos elementos dentro del sistema.

### X. CONCLUSIONES

El estudio realizado demuestra que las arquitecturas de microservicios constituyen un enfoque eficaz y escalable para el desarrollo de sistemas informáticos. En contraste a los sistemas monolíticos, que tienen limitaciones en términos de escalabilidad, mantenimiento y adaptabilidad, los microservicios brindan beneficios significativos, tales como modularidad, flexibilidad en la implementación y resistencia frente a errores, tal como lo respaldan varios estudios analizados.

Los microservicios no solo superan a los monolíticos en contextos que buscan alta disponibilidad y escalabilidad, tales como ambientes cloud o sistemas distribuidos, sino que también se adecuan a las demandas presentes de agilidad y eficacia en el desarrollo de software.

### REFERENCIAS

- [1] M. Fowler and J. Lewis, "Microservices: a definition of this new architectural term," *martinfowler.com*. Disponible: <https://martinfowler.com/microservices/>.
- [2] M. Fowler, "How to Break a Monolith into Microservices," *martinfowler.com*, 2019. Disponible: <https://martinfowler.com/articles/break-monolith-into-microservices.html>.
- [3] A. Guimarey, "Beneficios y riesgos de migrar una arquitectura monolítica a microservicios," *Universidad de Palermo*, 2020. Disponible: <https://www.researchgate.net/publication/348309479>.
- [4] AWS, "Monolítico frente a microservicios: diferencia entre arquitecturas de desarrollo de software," *Amazon Web Services*, s.f. Disponible: <https://aws.amazon.com/es/compare/the-difference-between-monolithic-and-microservices-architecture/>.
- [5] M. Sarzoza, "Arquitecturas de software que utilizan Netflix, Uber y más," *LinkedIn*, 2023. [En línea]. Disponible: <https://www.linkedin.com/pulse/arquitecturas-de-software-que-utilizan-netflix-uber-y-marcos-sarzoza-e6ytf/>.
- [6] M. E. Barzola, "Migración semiautomática de sistemas Legacy hacia arquitecturas orientadas a servicios," Tesis de licenciatura, Lic. en Sistemas, Univ. Nac. de La Plata, 2018. Disponible: <https://sedici.unlp.edu.ar/handle/10915/82154>.
- [7] D. Hossain y T. Sultana, "The role of Microservice Approach in Edge Computing: opportunities, challenges, and research directions," *ScienceDirect*, 2023. Disponible: <https://www.sciencedirect.com/topics/computer-science/monolithic-system>.
- [8] LinkedIn, "Sistema Legacy: Qué es, características y migración con Whitecloud," *dic.*, 26, 2024. Disponible: <https://www.linkedin.com/pulse/sistema-legacy-qu%C3%A9-es-caracter%C3%ADsticas-y-migraci%C3%B3n-con-whitecloud-s4tgf/>.
- [9] A. F. Saransig Chiza, "Análisis de rendimiento entre una arquitectura monolítica y una arquitectura de microservicios - tecnología basada en contenedores," Tesis de Maestría, Escuela Politécnica Nacional, Ecuador, 2018. Disponible: <https://core.ac.uk/download/pdf/200323828.pdf>.
- [10] K. Indrasiri, "Microservices in practice: Key architectural concepts of an MSA," WSO2, Tech. Rep., 2019. Disponible: <https://resources.wso2.com/whitepapers/microservices-in-practice-key-architectural-concepts-of-an-msa>.
- [11] DZone, *Kubernetes in the Enterprise: A Guide to Orchestrating Containers at Scale*, DZone Refcardz, 2019. Disponible: <https://dzone.com/storage/attachments/14131598-dzone-kubernetesbundle.pdf>.
- [12] F. Auer, "From monolithic systems to Microservices: An assessment framework," *Inf. Softw. Technol.*, 2021. Disponible: <https://www.sciencedirect.com/science/article/pii/S0950584921000793>.
- [13] G. García Castañeda, "Diseño y desarrollo de una aplicación software, en el contexto del enfoque ágil, como soporte a la reducción del número de animales de compañía sin hogar en el



- distrito metropolitano de Quito," Tesis de grado, Escuela Politécnica Nacional, Ecuador, 2024. Disponible: <https://bibdigital.epn.edu.ec/handle/15000/25528>
- [14] F. L. Abad León and S. M. Guamán Cabrera, "Propuesta de una arquitectura basada en micro servicios y micro frontend con integración de una plataforma de mensajería y procesamiento de eventos masivos. Caso de estudio: Aplicación en sistemas de transferencia de fondos," *Universidad Politécnica Salesiana*, 2024. Disponible: <https://dspace.ups.edu.ec/bitstream/123456789/29407/1/UPS-CT011876.pdf>
- [15] IBM, "Monolithic Architecture: Definition and Characteristics," 2023. Disponible: <https://www.ibm.com/think/topics/monolithic-architecture>.
- [16] Medium, Monolithic vs. Microservices Architecture: Understanding the Key Differences, 2024. Disponible: <https://medium.com/@jain.yash1909/monolithic-vs-microservices-architecture-understanding-the-key-differences-7ddf328565d0>
- [17] H. M. Ayas, R. Hebig, and P. Leitner, "An empirical investigation on the competences and roles of practitioners in Microservices-based Architectures," *The Journal of Systems & Software*, 2024. Disponible: [https://www.sciencedirect.com/science/article/pii/S0164121224001006?ref=pdf\\_download&fr=RR-2&rr=947fe8970b0c49df](https://www.sciencedirect.com/science/article/pii/S0164121224001006?ref=pdf_download&fr=RR-2&rr=947fe8970b0c49df)
- [18] Amazon Web Services, "¿Qué es una API RESTful?," 2023. Disponible: <https://aws.amazon.com/es/what-is/restful-api/>
- [19] onnuri.log. RESTful API. 2022. Disponible: <https://velog.io/@onnuri/RESTful-API>
- [20] Google Cloud, "Contenedores en Compute Engine," 2024. Disponible: <https://cloud.google.com/compute/docs/containers?hl=es-419>
- [21] Evolution. 2025. ¿Qué son los contenedores de software?. Disponible: <https://evolutioncode.us/que-son-los-contenedores-de-software>
- [22] C. De la Cruz Casaño, *Metodología de la investigación tecnológica en ingeniería*. Universidad Continental, 2016. Disponible: [https://www.academia.edu/94930372/Metodología\\_de\\_la\\_investigación\\_tecnológica\\_en\\_ingeniería](https://www.academia.edu/94930372/Metodología_de_la_investigación_tecnológica_en_ingeniería)
- [23] M. Shafir et al., "The Success Factors of Agile Methodologies in Software Development based on Developing Countries' Software Firms," ScienceDirect, 2025. Disponible: <https://www.sciencedirect.com/science/article/pii/S1877050925007069>

**SAMANTHA YAZMIN ELIZALDE VALENCIA** Ingeniera en Tecnologías de la Información y las Comunicaciones. Estudiante de Maestría en Sistemas Computacionales en el Instituto Tecnológico Nacional de México (TecNM) - Campus Apizaco.

**JOSÉ JUAN HERNÁNDEZ MORA** Ingeniero en Computación por la Universidad Autónoma de Tlaxcala. Tiene el grado de Maestro en Ciencias de la Computación en el Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET), de Cuernavaca, Morelos y Doctor en Excelencia Docente por la Universidad de los Ángeles. Es Profesor con Perfil Deseable por parte del PRODEP, es líder del cuerpo académico "Sistemas de Información" y nivel de candidato del SNII del Conahcyt. Sus líneas de investigación incluyen: Ingeniería del Software, Desarrollo de Aplicaciones de Tecnologías de la Información, Procesamiento Digital de Imágenes (PDI), Redes Neuronales Artificiales (RNA), Heutogogía y Cibergogía.

**MARÍA GUADALUPE MEDINA BARRERA** Tiene el grado de Maestra en Ciencias de la Computación en el Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET), de Cuernavaca, Morelos y Doctora en Decanato de Ingenierías por la Universidad Popular Autónoma del Estado de Puebla. Es Docente en la División de Estudios de Posgrado e Investigación en el Instituto Tecnológico Nacional de México (TecNM) - Campus Apizaco.

**JUAN RAMOS RAMOS** Profesor de Tiempo completo y jefe de Proyecto de Investigación (Sistemas y Computación) del Instituto Tecnológico Nacional de México (TecNM) - Campus Apizaco.

Fecha de recepción: 06 de junio de 2025, fecha de publicación en línea: octubre de 2025.

# Construcción del Gemelo Virtual de una Línea de Pintura Electroforética Integrando PLC

Lázaro Merlo-Ramírez<sup>1</sup>, José Rafael Mendoza-Vázquez<sup>2</sup>, Irma Delia Rojas-Cuevas<sup>3</sup>, Sergio Javier Torres-Méndez<sup>4</sup>, Vicente Ramírez-Palacios<sup>5</sup>

<sup>1,2,3,4,5</sup> Tecnológico Nacional de México – Instituto Tecnológico de Puebla. Av. Tecnológico 420 Col Maravillas C.P. 72220, Puebla, México.

Autor de correspondencia: José Rafael Mendoza-Vázquez (correo electrónico: [rafael.mendoza@puebla.tecnm.mx](mailto:rafael.mendoza@puebla.tecnm.mx)).

**Abstract-** This study focuses on the development of a virtual model and digital twin of an electrophoretic painting line, using software tools such as AutoCAD, Blender, TIA Portal, and Machines Simulator. Virtual modeling enables the creation of 3D digital representations of physical processes, helping industries optimize operations, reduce costs, and automate workflows. This approach aligns with Industry 4.0 by integrating digital twins and programmable logic controllers (PLCs) to simulate and control production lines without requiring a physical setup.

The research outlines the design, simulation, and automation of a metal painting line, where virtual components are modeled in AutoCAD, converted and prepared in Blender, and integrated into Machines Simulator. The line replicates the real-life electrophoretic painting process, which includes pre-treatment, electrodeposition, rinsing, curing, and final inspection.

The system was tested using both virtual and physical Siemens PLCs, ensuring proper interaction between control signals and simulated machine behavior. The project demonstrates the feasibility of creating customizable virtual production environments, overcoming limitations of commercial simulation software. It also highlights the role of virtual environments in operator training and process validation. The result is a robust, adaptable digital twin capable of supporting automation and process improvement initiatives.

**Keywords:** digital twins, modeling, production systems, simulation, system analysis and design, virtual manufacturing.

## I. INTRODUCCIÓN

El modelado virtual se define como la integración de técnicas computacionales para representar sistemas o entornos en un espacio tridimensional con herramientas digitales. En la industria, estas técnicas facilitan la optimización de operaciones, la reducción de costos y la simulación de procesos para su análisis, mejora y automatización, también buscan que los procesos sean económicos, sostenibles y eficientes [1] [2], para lograr este aspecto, se emplean los gemelos digitales o virtuales [3][4]. Uno de los fines del modelado virtual, es el diseño de procesos automatizados mediante controladores lógicos programables (PLC), que interactúan con el entorno virtual y permiten desarrollar programas adecuados a las necesidades de la línea de producción o para capacitación del personal.

Existen diversos simuladores de líneas de producción, como Plant Simulation, FlexSim, Simio, Simpy y Emulate 3D [5][6][7], que permiten virtualizar las operaciones y desarrollar simulaciones, estos se encuentran limitados en muchas ocasiones por las librerías disponibles.

En el trabajo, se presenta la construcción de un gemelo virtual de una línea de pintura electroforética empleando softwares como son: AutoCAD, Machines Simulator, Blender y TIA Portal. Este gemelo virtual debe ser capaz de comunicarse con un PLC Siemens S7-1200, con el fin de desarrollar su automatización y la programación de sus acciones de movimiento en trabajos futuros.

En el documento, se presentan los temas de modelado virtual, el gemelo virtual, líneas de producción virtuales, el proceso de pintura electroforética, la construcción del gemelo virtual, la integración de sus componentes y la creación de los controladores, así como pruebas básicas en la comunicación con el PLC virtual y el digital, además de incluir recomendaciones, conclusiones y referencias.

## II. MODELADO VIRTUAL

El modelado virtual se aplica en múltiples áreas como ingeniería, arquitectura, diseño industrial, medicina, educación y procesos productivos. Integra características físicas, funcionales y estéticas de un objeto o sistema antes de su construcción o implementación real [8][9][10]

Entre sus ventajas se encuentran la optimización de procesos, la planificación de recursos, la capacitación y el apoyo a la toma de decisiones. También, da posibilidad de simular, probar y modificar en distintas etapas, reduciendo costos y mejorar la detección temprana de errores. Algunos ejemplos se presentan en ingeniería civil y arquitectura, al previsualizar estructuras, y en medicina, donde se emplea en planificación quirúrgica y en la formación de estudiantes mediante representaciones anatómicas tridimensionales [11], [12], [13]

Las herramientas de modelado virtual varían según el objetivo: visualización, análisis, simulación o automatización para lo cual se emplean softwares como AutoCAD, SolidWorks, Blender, Revit, 3DS Max, FlexSim y Factory IO, los cuales permiten modelar formas complejas, aplicar materiales, texturas e iluminación para recrear condiciones reales [14], [15], [16], [17], [18], [19]. Se puede emplear realidad aumentada (AR) para disponer de capacitación, y se puede usar a la inteligencia artificial (IA) como medio para predecir interrupciones en las actividades de producción y dar soluciones [20]. La integración de realidad aumentada y realidad virtual desarrolla ambientes inmersivos que benefician el aprendizaje y la adquisición de conocimientos en varios aspectos del sistema analizado [21], [22], [23], [24]. En la tabla 1, se muestran los softwares que se pueden emplear para desarrollar gemelos virtuales [5][6][7].

Tabla 1 Comparativo de softwares para desarrollar gemelos virtuales.

Software	Importación de CAD / modelos externos y personalización	Comunicación con PLC (virtual/real) — protocolos y notas prácticas
Tecnomatix Plant Simulation (Siemens)	Soporta importación de modelos CAD	Pensado para <b>PLCSIM Advanced (Siemens)</b> y a PLCs reales
FlexSim	Importa modelos 3D externos (formatos 3DS/FBX/STL u otros según versión)	Módulo <b>Emulation</b> facilitando mapeo de variables E/S hacia PLCs reales/virtuales.
Simio	Permite cargar modelos y bibliotecas propias (importar objetos 3D: FBX, 3DS, OBJ, STL según versión)	<b>No dispone de un driver PLC "nativo" robusto</b>
Emulate3D (Demo3D / Rockwell)	Flujo robusto para marcar/importar CAD (SolidWorks, Creo, Inventor, Revit, Navisworks).	Valida código PLC pero no conexiones a PLC
Machine Simulator	Permite importar modelos 3D (formatos comunes como OBJ/FBX)	Conecta <b>TIA Portal / PLCSIM Advanced (Siemens)</b> y otros PLCs (simulación de PLCs, mapeo E/S).
SimPy	No es un entorno 3D/CAD	No tiene soporte PLC nativo

Para este trabajo se selecciono como ambiente virtual a Machine simulator debido a que puede conectarse con el PLC físico y con el software TIA portal para el desarrollo de la programación en el PLC así como mapear entradas y salidas

### III. Líneas de producción virtuales

Las líneas de producción de tipo virtual representan ambientes digitales de procesos de manufactura. Para su desarrollo se desarrollan se involucran tecnologías como simulación, gemelos virtuales, realidad aumentada e inteligencia artificial que permiten diseñar, planificar y

optimizar las operaciones previo a su instalación física [25][26]. Son un elemento esencial de la Industria 4.0, al posibilitar la validación de procesos sin infraestructura real, permiten simular escenarios diversos y la retroalimentación de los modelos mediante datos en tiempo real, lo que aporta información estratégica a diseñadores y operarios [27], [28], [29], [30].

Estas líneas se conforman por modelos digitales interconectados que reciben datos de sensores y emplean inteligencia artificial junto con simulaciones tridimensionales para incrementar la eficiencia, calidad y flexibilidad productiva [30], [31], [32], [33][34]. En la Figura 1 se presenta un ejemplo.

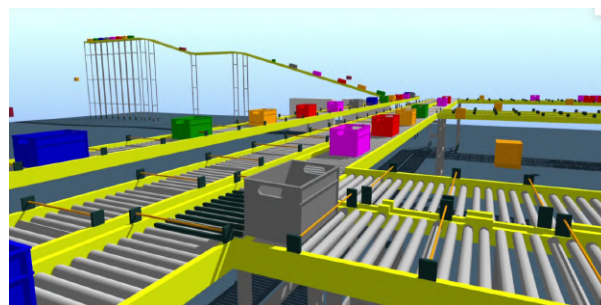


Figura 1. Representación Virtual de una línea de distribución

Fuente: <https://tomec.es/emulate-3d-linea-de-produccion-automatizadas-para-centros-logisticos-y-de-distribucion>

### IV. Proceso de pintura electroforética

El proceso de pintura electroforética que puede apreciarse en la Figura 2, también denominado E-Coat, cataforesis o electrodeposición catódica, es un proceso de recubrimiento por inmersión empleado principalmente en la industria automotriz y de electrodomésticos debido a su alta eficiencia, uniformidad de cobertura y resistencia a la corrosión.

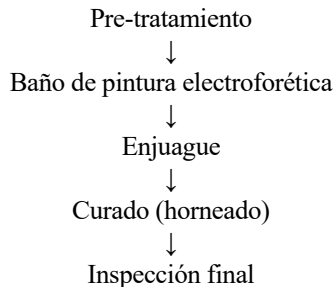


Figura 2. Proceso de pintura electroforética. Cortesía de la empresa Recubrimientos especializados en pintura electrolítica (REPESA)

El recubrimiento por electrodeposición consiste en sumergir una pieza metálica en un baño de pintura acuosa con partículas cargadas eléctricamente, que se adhieren al sustrato mediante corriente continua [35], [36], [37]. Sus ventajas incluyen: alto aprovechamiento del material (mayor al 95%), recubrimiento uniforme en geometrías complejas, elevada resistencia a la corrosión y menor impacto ambiental por el uso de pinturas acuosas [38], [39].

El proceso se compone de cinco etapas principales (Figura 3):

1. Pre-tratamiento: con el fin de eliminar contaminantes y mejorar la adherencia [38]
  2. Electrodeposición: la pieza se sumerge en la pintura logrando una película uniforme
  3. Enjuague: eliminación del exceso de pintura mediante agua desionizada para evitar defectos [29], [30].
  4. Curado: se hornea a unos 160–200 °C otorgándole resistencia química y mecánica.
  5. Inspección final: se verifica la uniformidad y conformidad con especificaciones técnicas.
- Algunas industrias añaden pasos complementarios según el producto.



**Figura 3.** Proceso de pintura electroforética

## V. Construcción del gemelo virtual

La construcción de un gemelo virtual de un proceso productivo requiere un enfoque estructurado que integre datos en tiempo real, modelos digitales precisos y herramientas de simulación avanzadas [40], [41], [42]. El desarrollo de este modelo requiere: a) conocimiento del proceso y sus componentes mecánicos y electromecánicos.; b) diseño CAD y conversión a formatos compatibles con el entorno de simulación c) configuración del entorno virtual y establecimiento de comunicación con el PLC

Las etapas recomendadas en esta etapa son:

- a) Definición de objetivos: En este caso es desarrollar el proceso de automatización en su etapa final
- b) Recopilación e integración de datos: se tienen datos de las operaciones, actuadores y sensores a emplear
- c) Construcción del gemelo digital: emplear herramientas CAD para construir una réplica virtual detallada que reproduzca con fidelidad el comportamiento del sistema físico.

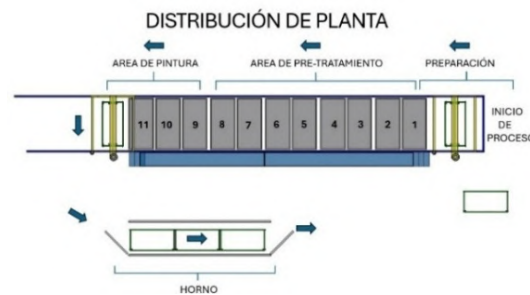
### A. Definición de objetivos

Para el caso de la línea de pintura electroforética, se busca como objetivo automatizar el proceso y lograr la comunicación con un PLC. Para ello se determinaron las acciones que debería hacer el sistema virtual con el PLC. Algunas de las acciones se listan a continuación.

- Salida para subir cargador de la grúa#1
- Salida para bajar cargador de la grúa#1
- Salida para subir cargador de la grúa#2
- Salida para bajar cargador de la grúa#2
- Salida para luz de botón AVANCE en tablero de grúa#1

- Salida para luz de botón RETROCEDER en tablero de grúa#1
- Entrada de Interruptor de final de carrera Superior en grúa#1
- Entrada de Interruptor de final de carrera Intermedio en grúa#1(Posición de traslado)
- Entrada de interruptor de final de carrera TINA#1
- Entrada de interruptor de final de carrera TINA#2

Esta información se obtuvo a partir del análisis la distribución de planta y las acciones de sus diferentes secciones de la línea de pintura que se presenta en la Figura 4.

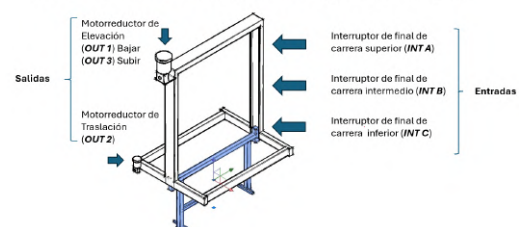


**Figura 4.** Definición de entradas y salidas en una grúa. Fuente elaboración propia

### B. Recopilación e integración de datos

Las figuras 5 a 7 muestran algunas de las acciones realizadas por los componentes del sistema de pintura electroforética, así como los datos que deben ser considerados y los elementos relevantes para el proceso de construcción del gemelo virtual, incluyendo los movimientos que el sistema debe ejecutar para determinar actuadores y sensores.

#### Identificación de Entradas y Salidas Lógicas en una grúa



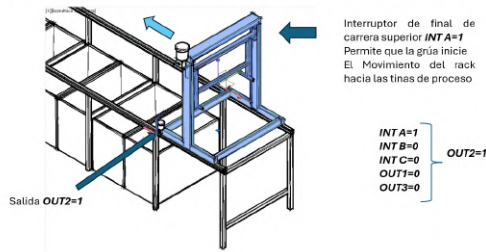
**Figura 5.** Definición de entradas y salidas en una grúa. Fuente elaboración propia

#### Identificación de Entradas y Salidas en una grúa. Posición



**Figura 6.** Movimiento del cargador de la grúa. Fuente elaboración propia



**Identificación de Entradas y Salidas en una grúa. Traslación.**

**Figura 7.** Movilidad de las grúas a través del riel de la línea.  
Fuente elaboración propia

**C. Construcción del gemelo virtual**

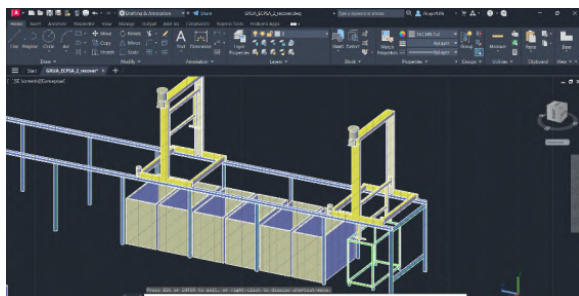
Para la construcción del gemelo virtual se procedió de la siguiente manera: a) Se generan los componentes principales de la línea de producción en AutoCAD como son soportes, grúas, componentes mecánicos; b) se hace la conversión de los componentes a formato tipo BLENDER, c) se exporta el elemento con formato OBJ d) se integran los componentes acordes la distribución de planta en el software Machine Simulator. Este proceso se presenta en la Figura 8.



**Figura 8.** Etapas del proceso de virtualización. Fuente: elaboración propia.

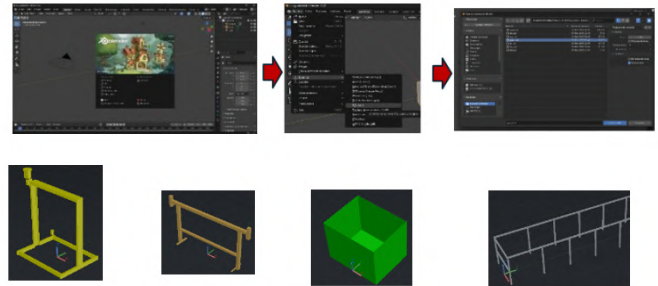
**Diseño en AUTOCAD de componentes personalizados**

Para el diseño de los objetos de la línea de pintura electroforética, se empleó AutoCAD, que se ocupa en diferentes áreas, especialmente en ingeniería. En AutoCAD se pueden desarrollar los modelos de los componentes en 2D y 3D con las especificaciones adecuadas. En este trabajo se utilizó para representar la etapa de preparación y pretratamiento de la línea de pintura electroforética, como se observa en la Figura 9



**Figura 9.** Línea de Producción 3D a escala en AutoCAD. Etapa de preparación y pretratamiento. Fuente elaboración propia.

Los componentes y partes desarrollados por separado en AutoCAD se ensamblan para armar la maqueta virtual inicial. Los objetos 3D principales de la línea de pintura, se muestran la Figura 10.

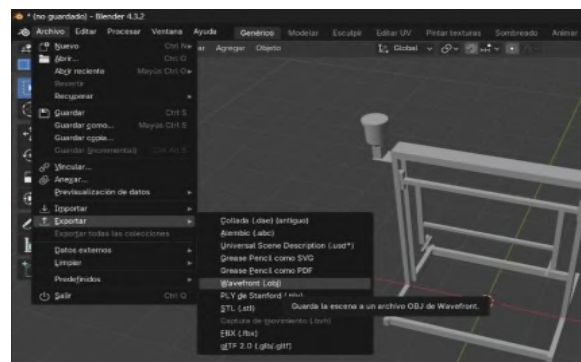


**Figura 10.** Objetos 3D de la línea de producción con formato STL

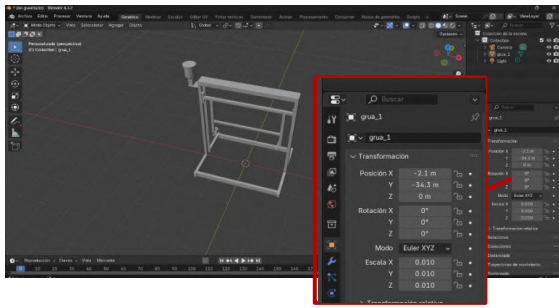
Para este caso, cada elemento se guarda como un archivo independiente para desarrollar el proceso de cambiar el formato de DWG a OBJ. Cabe mencionar que las versiones actuales de AutoCAD no permiten exportar los archivos a formatos OBJ en forma directa, por ello, hay que realizar la conversión empleando el programa BLENDER. Como primer paso, en AutoCAD, cada uno de los archivos debe ser exportado como archivo con extensión \*.STL. Este tipo de formato puede ser importado a Blender para darle el formato OBJ.

**Cambio de formato en software BLENDER**

Para hacer la conversión de formato del archivo con extensión STL de AutoCAD, se emplea el programa Blender, en este caso Blender es una suite de animación 3D libre de código abierto y gratuito, se utiliza principalmente para la edición, modelado, simulación, edición de video y creación de juegos. Al importar los archivos STL a Blender es posible darles características tales como la escala y centro, que son requeridos para ser incorporados en Machines Simulator, en donde se construye la línea de pintura. En las figuras 11 y 12 se presenta el proceso desarrollado en BLENDER.



**Figura 11.** Importar dibujos a Blender



**Figura 12.** Modificación de la posición y escala en BLENDER

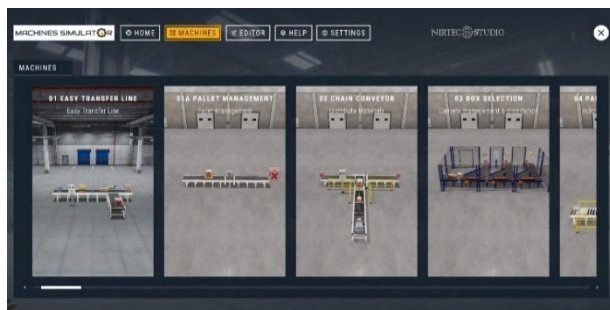
Como los objetos en formato STL son demasiado grandes, es necesario modificar la posición (x,y,z) y la escala para centrar y actualizar el tamaño de las figuras (Ver Figura 13.) En la Figura 13, se presentan los resultados del trabajo desarrollado en Blender, donde se obtiene el archivo tipo OBJ, con características adecuadas para el ambiente de simulación Machines simulator.



**Figura 13.** Componentes diseñados y exportados con extensión OBJ

## VI. Integración de los elementos para construir gemelo virtual

Con los objetos y/o componentes, se construye la línea de producción en el ambiente Machines Simulator, en la Figura 14, se muestra un ejemplo de este software.



**Figura 14.** Ambiente de Machines simulator . Fuente: [Machines Simulator - Nirtec. https://www.nirtec.com/wp-content/uploads/2024/11/Maquinas.png](https://www.nirtec.com/wp-content/uploads/2024/11/Maquinas.png)

### A. Software Machines simulator.

El software machine simulator es un software de simulación 3D que permite la interacción entre un sistema virtual o gemelo digital y los PLC de la marca SIMENS, Rockwell o algún otro fabricante de acuerdo con las librerías disponibles. Es un software creado por la empresa Nirtec Studio para la simulación de procesos industriales, automatización y gemelos digitales. Dentro del software se encuentran herramientas útiles para simular sistemas mecánicos, eléctricos, electrónicos visualizando modelos digitales que replican las acciones reales de sistemas cotidianos en la industria. En la Figura 15 se

presenta la transición de una línea de producción real a su gemelo virtual mediante empleando componentes personalizados.



**Figura 15.** Línea de Producción Real – Línea de Producción Virtual para el gemelo virtual.

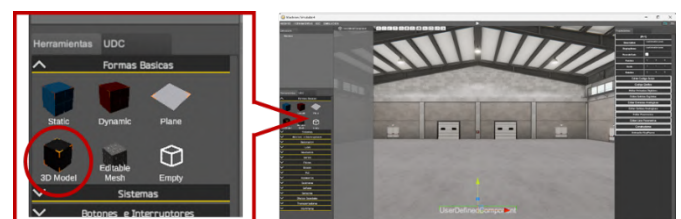
Al iniciar, el software presenta en la pantalla diferentes cuadros de las funciones que se pueden realizar, como se muestra en la Figura 16. En este menú, se selecciona el cuadro CREAR MÁQUINA. Se puede elegir uno de cuatro posibles escenarios para la creación de la máquina. En este caso, se seleccionó el escenario que se muestra en la Figura 17, denominado como Escenario 1, NAVE1



**Figura 16.** Menú del software Machines Simulator

### B. Integración de componentes para construir gemelo virtual

En esta sección, se presenta el proceso para crear el gemelo virtual de la línea de pintura. Cuando se ha iniciado el escenario, se elige la pestaña UDC del editor, y la instrucción CREAR COMPONENTE DEFINIDO POR EL USUARIO. En el escenario se elige un objeto 3D del menú de herramientas, como se muestra en la Figura 17.



**Figura 17.** Elección del objeto 3D

Los objetos 3D pueden ser editados para cambiar el modelo, la textura, y programar controladores para los movimientos que realizará dentro de la máquina virtual, el menú para realizar estos cambios se muestra en la Figura 18.





Figura 18. Menú para realizar cambio en el objeto 3D

### C. Cambio de modelo

Al elegir el comando CAMBIAR MODELO, se abre una ventana con diferentes opciones, como lo muestra la Figura 19, en la parte inferior se encuentra la opción “Mis Modelos”. Dentro de esta carpeta, es posible encontrar la carpeta creada para guardar los dibujos 3D con extensión OBJ, que pueden ser trabajos por Machines Simulator.

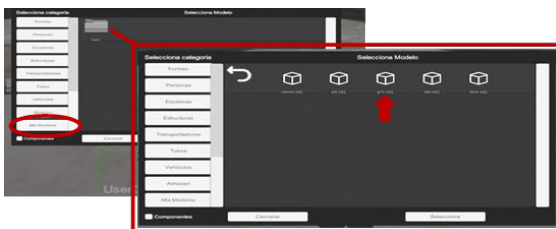


Figura 19. Menú para realizar cambio en el objeto 3D

En la Figura 20 se presenta la importación a Machines Simulator de un archivo con la imagen 3D de la base de la grúa. A partir de ello, el objeto puede manipularse en el programa y configurarse con las propiedades necesarias para interactuar con sensores, botones y las entradas o salidas del PLC. Según la posición asignada como parte de la línea de producción, es posible modificar su ubicación en los ejes X, Y y Z, así como su orientación y sentido.



Figura 20. Objeto editado en forma y en textura

Para objetos que tienen partes internas móviles, se inserta un objeto estático, dicho objeto puede ser modificado en su forma, posición y escala para formar parte del objeto 3D principal. En la Figura 21 se muestra un objeto estático.



Figura 21. Objeto estático

De igual manera, como se editaron los cambios en la figura principal, se realizan los cambios respectivos en el objeto estático. Editándolo queda como se muestra en la Figura 22.

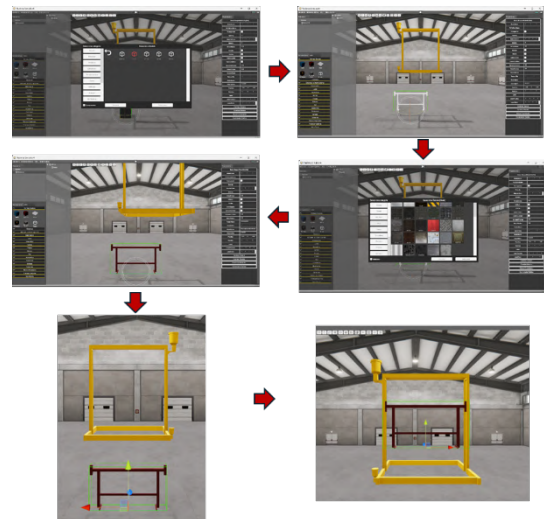


Figura 22. Edición del objeto estático

## VII. Creación de controladores.

Una vez que se tienen integrados los componentes en el gemelo virtual, se deben crear los controladores que definen los movimientos verticales del cargador (arriba y abajo) y los movimientos longitudinales de la grúa (al frente y atrás). Se presenta un ejemplo de estos movimientos a continuación. Las propiedades de los controladores son las siguientes:

En la figura 23 se presenta la configuración de propiedades para el controlador con los datos: **Nombre del controlador**, **Tipo de movimiento que realizará**, la **señal** que activa el controlador, y la **etiqueta** de la señal que activará el controlador.

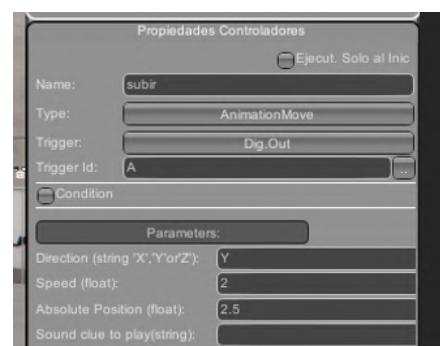


Figura 23. Propiedades del controlador



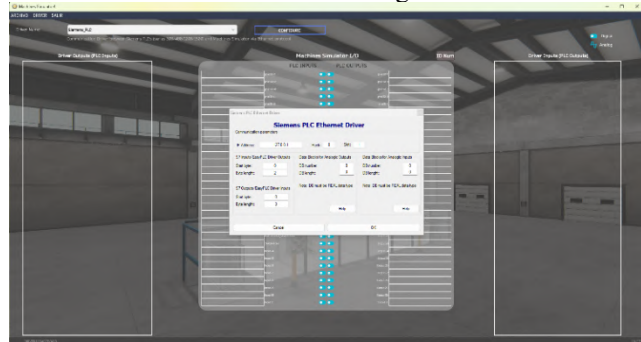
Con la definición y configuración de los controladores y los objetos móviles que forman parte de la línea virtual, se insertan los objetos fijos que complementan el escenario, tales como el riel sobre el que se desplazan las grúas, las tinas de proceso de inmersión, los interruptores de final de carrera, que envían las señales de posición del cargador y de las grúas, los tableros de control con botones, para las acciones manuales que realizará la línea, como se muestra en la Figura 24, el gemelo virtual personalizado está construido en Machine simulator con los componentes, sensores y actuadores que requiere el proceso y los controladores para cada movimiento.



**Figura 24.** Línea Virtual

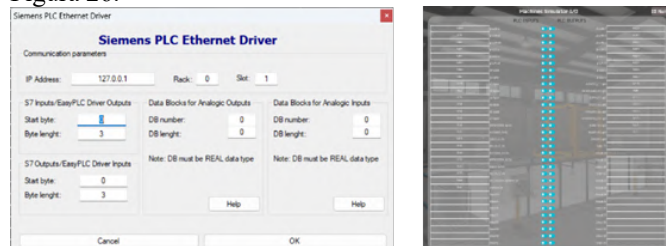
### A. Pruebas de operación

Como prueba de la línea de pintura se desarrolla una simulación básica, que valide la operación del sistema, para ello, se hace la elección del DRIVER E/S, eligiendo el PLC SIEMENS como se muestra en la Figura 25.



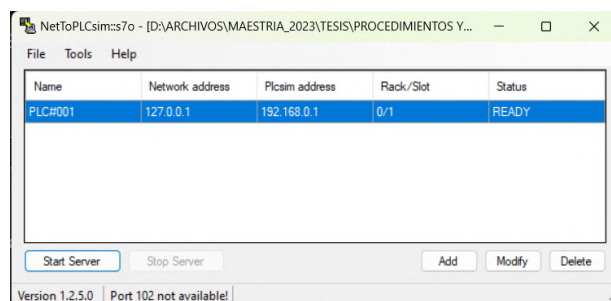
**Figura 25.** Selección del PLC

Se procede a configurar las entradas y salidas, tanto digitales como analógicas, y el conector Ethernet virtual (por defecto con la dirección IP asignada 127.0.0.1). Esto se muestra en la Figura 26.



**Figura 26.** Configuración del puerto ethernet virtual y asignación de Entradas/Salidas

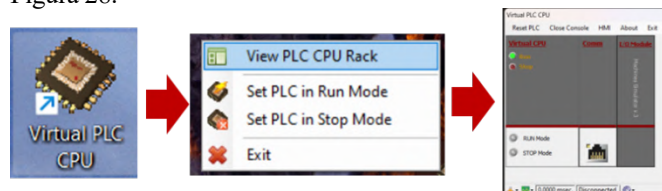
La comunicación entre el PLC virtual de TIA PORTAL y Machines Simulator, se logra por medio de una extensión de red para el simulador PLCSIM, llamada NetToPLCSim, cuya función principal es probar programas de PLC en un entorno virtual. Una vez iniciado este software, solo se requiere determinar la dirección de la red (dirección IP de la simulación en Machines Simulator: 127.0.0.1), y la dirección del PLC de TIA PORTAL (dirección IP PLCSIM: 192.168.0.1). Esto se muestra en la Figura 27.



**Figura 27.** Configuración de NetToPLCSim

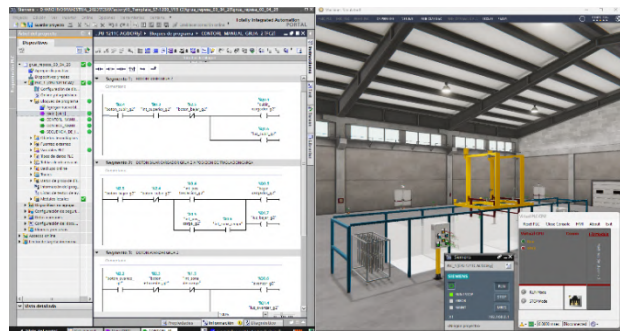
Esta configuración puede guardarse para futuros usos dentro de una carpeta que creada por el usuario. Es recomendable iniciar NetToPLCSim antes de abrir los programas TIA PORTAL y Machines Simulator. También se desarrollaron pruebas con el PLC modelo S7-1200 215-1BG31-0XB0 y el software TIA PORTAL de la marca SIEMENS. En este software se creó y compiló un programa básico para iniciar la simulación, el cual fue cargado en PLCSIM y ejecutado al cambiar el sistema al modo RUN.

Para desarrollar la prueba con el PLC físico, se abre el VIRTUAL PLC CPU, incluido en la instalación de Machines Simulator y se coloca en modo RUN, como se muestra en la Figura 28.



**Figura 28.** PLC Virtual de Machines Simulator

Para verificar que el proceso es correcto, se verifica que se ha iniciado el PLC con el cambio en el color y estado del Driver a "Driver Conectado" (Ver Figura 29).



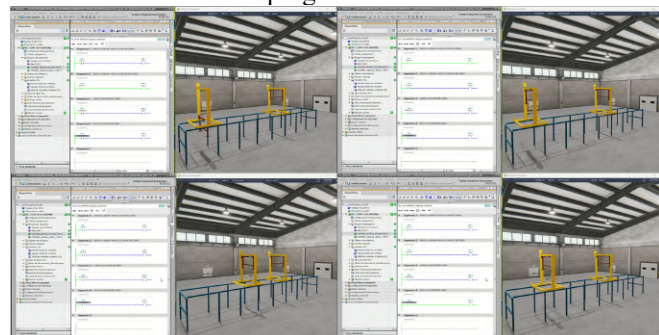
**Figura 29.** TIA PORTAL, Machines Simulator, PLCSIM y Virtual PLC CPU controlando el movimiento

Con este proceso concluido, el programa de PLC y la línea virtual tienen capacidad de interactuar, permitiendo que el programa en el PLC físico se ejecute en Machines Simulator. La Figura 30 muestra la prueba que al presionar el botón SUBIR del cargador de la grúa, desarrolla la acción de moverse hacia arriba, como ha sido programado en el ladder del PLC.



**Figura 30.** Control de elevador con botón

En la figura 31 se muestra el movimiento del cargador de la grúa, y las acciones del programa del PLC que controla las acciones del sistema, como se observa desarrolla los diferentes movimientos programados.



**Figura 31.** Pruebas de movimiento de la grúa en la línea de pintura controlada por el PLC

En la figura 32 se presenta la arquitectura para desarrollar el control del gemelo virtual de la línea de pintura que se conecta al PLC físico y permite validar el control desarrollado de los diferentes

componentes y sus movimientos. Esto permite validar las operaciones y acciones desarrolladas para el sistema.



**Figura 32.** Conexión del PLC físico con la línea de pintura electroforética.

## VIII. RECOMENDACIONES

Para el diseño de este tipo de líneas de producción como gemelo virtual, es recomendable que se integre un equipo de trabajo que tenga experiencia en el diseño de la línea, diseño mecánico, ingeniería electrónica, automatización y programación de PLC's. Esto para que se puedan reproducir los detalles de operación y control de movimiento del sistema objeto de estudio. Para ello, el objetivo de la construcción virtual de la línea debe estar claro, para que el resultado final esté acorde con sus requerimientos.

## IX. CONCLUSIONES

En este trabajo se presentó el desarrollo completo y construcción de un gemelo virtual aplicado a una línea de producción de pintura electroforética, integrando herramientas de diseño, simulación y automatización.

Se identificaron y definieron las acciones electromecánicas clave del proceso, permitiendo una representación precisa y funcional del sistema dentro de un entorno virtual.

Se logró la creación de componentes personalizados para la línea de pintura empleando herramientas CAD, evitando las limitaciones de las bibliotecas predefinidas de los simuladores comerciales, lo que permitió una virtualización fiel al proceso físico real y sus movimientos.

La línea de producción como gemelo virtual fue construida en el software Machines Simulator, integrando modelos 3D diseñados en AutoCAD y convertidos mediante Blender, lo que permitió su posterior simulación de movimiento y control.

Se realizaron pruebas de operación con un PLC virtual y con un PLC físico, mostrando la capacidad del modelo para interactuar en tiempo real con sistemas de control reales, validando su funcionalidad y eficiencia para desarrollo de control de operación y de capacitación de personal.

El gemelo virtual desarrollado representa una herramienta útil para la capacitación, mejora continua y validación de

procesos de automatización industrial, aportando una solución escalable y adaptable a diversas necesidades de manufactura.

## REFERENCIAS

- [1] M. Soori, B. Arezoo, y R. Dastres, “Digital twin for smart manufacturing, A review”, *Sustainable Manufacturing and Service Economics*, vol. 2, p. 100017, abr. 2023, doi: 10.1016/J.SMSE.2023.100017.
- [2] C. Semeraro, M. Lezoche, H. Panetto, y M. Dassisti, “Digital twin paradigm: A systematic literature review”, *Comput Ind*, vol. 130, sep. 2021, doi: 10.1016/j.compind.2021.103469.
- [3] M. Wynn y J. Irizar, “Digital Twin Applications in Manufacturing Industry: A Case Study from a German Multi-National”, *Future Internet*, vol. 15, núm. 9, sep. 2023, doi: 10.3390/fi15090282.
- [4] C. Latsou, D. Ariansyah, L. Salome, J. Ahmet Erkoyuncu, J. Sibson, y J. Dunville, “A unified framework for digital twin development in manufacturing”, *Advanced Engineering Informatics*, vol. 62, oct. 2024, doi: 10.1016/j.aei.2024.102567.
- [5] A. Mares, D. Sabadka, Y. Molnar, y G. Fedorko, “Improving competitiveness of an assembly line by simulation based productivity increase – A case study”, *Journal of Competitiveness*, vol. 15, núm. 3, pp. 43–59, sep. 2023, doi: 10.7441/joc.2023.03.03.
- [6] E. Yildiz, C. Möller, y A. Bilberg, “Virtual factory: Digital twin based integrated factory simulations”, en *Procedia CIRP*, Elsevier B.V., 2020, pp. 216–221. doi: 10.1016/j.procir.2020.04.043.
- [7] F. Longo, A. Padovano, L. Nicoletti, M. Elbasheer, y R. Diaz, “Digital twins for manufacturing and logistics systems: is simulation practice ready?”, en *European Modeling and Simulation Symposium, EMSS*, 2021, pp. 435–442. doi: 10.46354/i3m.2021.emss.062.
- [8] Jaume. Gual Ortí, *Fundamentos del modelado y prototipado virtual en el diseño de productos*. Universitat Jaume I. Servei de Comunicació i Publicacions, 2011.
- [9] A. B. Ortega, A. M. Salazar, F. A. G. Becerra, C. H. Guzmán Valdivia, y E. A. Leyva, “Diseño de sistemas mecatrónicos: prototipos virtuales”, *Tecnológico Nacional de México en Celaya Pistas Educativas*, vol. 40, núm. 130, Celaya, pp. 1421–1439, noviembre de 2018. [En línea]. Disponible en: <http://itcelaya.edu.mx/ojs/index.php/pistas>
- [10] S. R. Nagrani, M. S. Nagrani, V. S. Narwane, y K. J. Somaiya, “Employing Digital Twins technology to model and simulate manufacturing processes in industries”. [En línea]. Disponible en: <https://www.researchgate.net/publication/389767568>
- [11] L. S. McGuire, A. Fuentes, y A. Alaraj, “Three-Dimensional Modeling in Training, Simulation, and Surgical Planning in Open Vascular and Endovascular Neurosurgery: A Systematic Review of the Literature”, *World Neurosurg*, vol. 154, pp. 53–63, oct. 2021, doi: 10.1016/J.WNEU.2021.07.057.
- [12] K. H. C. Li et al., “The role of 3D printing in anatomy education and surgical training: A narrative review”, *MedEdPublish*, vol. 6, p. 92, jun. 2017, doi: 10.15694/mep.2017.000092.
- [13] X. Shao et al., “Virtual reality technology for teaching neurosurgery of skull base tumor”, *BMC Med Educ*, vol. 20, núm. 1, pp. 1–7, ene. 2020, doi: 10.1186/s12909-019-1911-5.
- [14] R. Saracco, “Digital Twins: Evolution in Manufacturing”, may 2022.
- [15] Industrial Internet Consortium, “Digital Twins for Industrial Applications”, feb. 2020.
- [16] J. Feldt, T. Kourouklis, H. Kontny, y A. Wagenitz, “Digital twin: Revealing potentials of real-time autonomous decisions at a manufacturing company”, en *Procedia CIRP*, Elsevier B.V., 2020, pp. 185–190. doi: 10.1016/j.procir.2020.05.033.
- [17] Abhinav Parashar A Singh y Neepakumari Gameti, “Digital Twins in Manufacturing: A Survey of Current Practices and Future Trends”, *International Journal of Science and Research Archive*, vol. 13, núm. 1, pp. 1240–1250, sep. 2024, doi: 10.30574/ijrsra.2024.13.1.1705.
- [18] W. Luo, T. Hu, C. Zhang, y Y. Wei, “Digital twin for CNC machine tool: modeling and using strategy”, *J Ambient Intell Humaniz Comput*, vol. 10, núm. 3, pp. 1129–1140, mar. 2019, doi: 10.1007/S12652-018-0946-5.
- [19] F. Tao, B. Xiao, Q. Qi, J. Cheng, y P. Ji, “Digital twin modeling”, *J Manuf Syst*, vol. 64, pp. 372–389, jul. 2022, doi: 10.1016/j.jmsy.2022.06.015.
- [20] RIM Reportero industrial mexicano, “Sensorización”. Consultado: el 4 de junio de 2025. [En línea]. Disponible en: <https://rim.com.mx/portal/noticias-detalle/6752/Sensorizacion%20e%20Inteligencia%20Artificial%20en%20las%20lineas%20de%20produccion%20/automotriz>
- [21] Y. Tan, W. Xu, S. Li, y K. Chen, “Augmented and Virtual Reality (AR/VR) for Education and Training in the AEC Industry: A Systematic Review of Research and Applications”, el 1 de octubre de 2022, *MDPI*. doi: 10.3390/buildings12101529.
- [22] X. Han, Y. Chen, Q. Feng, y H. Luo, “Augmented Reality in Professional Training: A Review of the Literature from 2001 to 2020”, el 1 de febrero de 2022, *MDPI*. doi: 10.3390/app12031024.
- [23] K. Sun, “Innovative Applications of Virtual Reality and Augmented Reality in Education”, *Transactions on Comparative Education*, vol. 6, núm. 2, pp. 76–82, 2024, doi: 10.23977/trance.2024.060211.
- [24] A. K. Jumani, W. A. Siddique, A. A. Laghari, A. Abro, y A. A. Khan, “Virtual Reality and Augmented Reality for Education”, en *Multimedia Computing Systems and Virtual Reality*, CRC Press, 2022, pp. 189–210. doi: 10.1201/9781003196686-9.
- [25] L. Christ, E. Milloch, M. Boshoff, A. Hypki, y B. Kühlenkötter, “Implementation of Digital Twin and Real Production System to Address Actual and Future Challenges in Assembly Technology”, *Automation*, vol. 4, núm. 4, pp. 345–358, dic. 2023, doi: 10.3390/automation4040020.
- [26] D. Guerra-Zubiaga, V. Kuts, K. Mahmood, A. Bondar, N. Nasajpour-Esfahani, y T. Otto, “An approach to develop a digital twin for industry 4.0 systems: manufacturing automation case studies”, *Int J Comput Integr Manuf*, vol. 34, núm. 9, pp. 933–949, 2021, doi: 10.1080/0951192X.2021.1946857.
- [27] J. S. Ortiz, E. K. Quishpe, G. X. Sailema, y N. S. Guamán, “Digital Twin-Based Active Learning for Industrial Process Control and Supervision in Industry 4.0”, *Sensors*, vol. 25, núm. 7, abr. 2025, doi: 10.3390/s25072076.
- [28] Siemens, “Siemens fabrica virtual”, Consultado: el 4 de junio de 2025. [En línea]. Disponible en: <https://webinars.sw.siemens.com/es-ES/virtual-development-of-automotive-manufacturing/>
- [29] Industria4punto0, “Simulación industria 4p0”, Consultado: el 4 de junio de 2025. [En línea]. Disponible en: <https://industria4punto0.net/industria-4-0/simulacion-digital-herramienta-clave-innovacion-industria-40/>
- [30] S. Gallego-García, M. Groten, y J. Halstrick, “Integration of Improvement Strategies and Industry 4.0 Technologies in a Dynamic Evaluation Model for Target-Oriented Optimization”, *Applied Sciences (Switzerland)*, vol. 12, núm. 3, pp. 1–21, feb. 2022, doi: 10.3390/app12031530.
- [31] E. Yildiz, C. Möller, y A. Bilberg, “Virtual factory: Digital twin based integrated factory simulations”, en *Procedia CIRP*, Elsevier B.V., 2020, pp. 216–221. doi: 10.1016/j.procir.2020.04.043.
- [32] H. Huang, T. Ji, y X. Xu, “An adaptable Digital Twin model for manufacturing”, en *Manufacturing Letters*, Elsevier, Ed., Elsevier, 2024, pp. 1163–1169. [En línea]. Disponible en: [www.sciencedirect.com](http://www.sciencedirect.com)
- [33] H. G. Lemu, “Virtual engineering in design and manufacturing”, *Adv Manuf*, vol. 2, núm. 4, pp. 289–294, dic. 2014, doi: 10.1007/s40436-014-0085-y.
- [34] A. Kampa, “Modeling and Simulation of a Digital Twin of a Production System for Industry 4.0 with Work-in-Process Synchronization”, *Applied Sciences (Switzerland)*, vol. 13, núm. 22, nov. 2023, doi: 10.3390/app132212261.
- [35] R.-N. Javier-Cruz, “¿Qué es la ingeniería de superficies?”, vol. 1, núm. 37, pp. 1–5, enero de 2025.
- [36] D.-F. García-Retama, “Recubrimientos poliéster termo curables aplicados electrostáticamente para la industria automotriz”, Centro de investigación en química aplicada, 2018.



- [37] F. F. Estrada Martínez, D. V. Melo-Máximo, y R. C. Vega-Morón, "Un acercamiento a la Ingeniería de Superficies", vol. 3, pp. 5-9, 2024.
- [38] H. A. Al-Libawy, D. M. Jasim, E. Abdul, R. Hussein, y H. Al-Libawy, "Cathodic protection systems: approaches and open challenges Sistemas de protección catódica: enfoques y desafíos abiertos", vol. 36, pp. 956-967, dic. 2023, doi: 10.5377/nexo.vXXiXX.XXXX.
- [39] I. Jose y G. Salinas Ocampo, "Modificación de Línea de Pintura para Mejora del Desempeño del Recubrimiento en Autopartes", en *Congreso Internacional de Investigación Academia Journals Celaya 2021*, Celaya: Academia Journals 2021, nov. 2021, pp. 2324-2329.
- [40] Simio. Forward Thinking, "Simio". Consultado: el 4 de junio de 2025. [En línea]. Disponible en: <https://www.simio.com/es/5-tecnologias-de-digitalizacion-para-implantar-la-industria-4-0/>
- [41] Cursos Femxa, "Femxa", Consultado: el 4 de junio de 2025. [En línea]. Disponible en: <https://www.cursosfemxa.es/blog/gemelos-digitales#pasos-creacion>
- [42] Litslink Starups Laboratory, "Linklink", <https://litslink.com/blog/what-is-digital-twin-in-manufacturing-inspiring-industry-examples>. Consultado: el 4 de junio de 2025. [En línea]. Disponible en: <https://litslink.com/blog/what-is-digital-twin-in-manufacturing-inspiring-industry-examples>



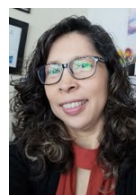
**LAZARO MERLO RAMIREZ** recibió el título de Ingeniero en Electrónica por parte del TecNM/Instituto Tecnológico de Puebla en el año 1999. Actualmente desarrolla estudios de Maestría en Ingeniería electrónica en la misma institución. Ha sido responsable del mantenimiento predictivo, correctivo y preventivo de maquinaria y equipo industrial resolviendo fallas y automatizando equipo,

administrando personal, supervisando el mantenimiento electrónico, eléctrico, mecánico y de soldadura. Ha colaborado como ingeniero de mantenimiento y proyectos en la empresa Electro Comercializadora de Puebla S.A. de C.V. Ha trabajado para colchones Lester como supervisor de Mantenimiento y Gerente de mantenimiento para la empresa Costuras y manufacturas de Tlaxcala. Se ha desempeñado como catedrático en el área de ciencias exactas a nivel Secundaria y Licenciatura. Es coautor de 3 publicaciones en el área de óptica y ciencia de materiales.



**JOSE RAFAEL MENDOZA VAZQUEZ** obtuvo el grado de Doctor en Ciencias en Electrónica (2010) y de Maestro en Ciencias en Electrónica (2003) por el Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE), con trabajos en modelado de mecanismos paralelos aplicados a prótesis y en control de robots de dos grados de libertad. Es Ingeniero Industrial Electrónico (1996) por el Instituto Tecnológico de Puebla. En el ámbito profesional, ha colaborado en

proyectos de instalaciones eléctricas, redes de datos y comunicaciones para el INEGI y en el INAOE en el desarrollo de robots de aplicación específica y militar, en áreas de instrumentación, robótica, automatización y control para la Secretaría de Marina. Su experiencia docente incluye cursos en la Universidad Alva Edison, la Universidad Tecnológica de Puebla y el TecNM/Instituto Tecnológico de Puebla, donde actualmente es profesor de tiempo completo en licenciatura y posgrado en Ingeniería Electrónica. Ha participado en congresos nacionales e internacionales con publicaciones arbitradas y ponencias en robótica, control y sistemas educativos. Sus líneas de investigación abarcan robótica, modelado, control de movimiento, procesamiento de señales y sistemas interactivos. Posee perfil PRODEP y lidera el Cuerpo Académico Sistemas Interactivos y Realidad Virtual en Consolidación.



**IRMA DELIA ROJAS CUEVAS** Irma Delia Rojas Cuevas recibió el grado de Doctora en Logística y Gestión de la Cadena de Suministro con Mención de Honorífica en 2019 por parte de la Universidad Popular Autónoma del Estado de Puebla. Recibió el grado de Maestra en Ciencias en Ingeniería Industrial en el área de Manufactura por parte del Instituto Politécnico Nacional División UPIICSA, en 2000. Recibió el título de

Ingeniero Industrial por parte del Instituto Tecnológico de Puebla en 1996. Es Profesor del Tecnológico Nacional de México / Instituto Tecnológico de Puebla, México, en el Departamento de Ingenierías. Tiene publicaciones en revistas indexadas y congresos de buen nivel. Ha impartido conferencias en las áreas de desarrollo de sistemas, logística y cadena de suministro. Es miembro del grupo académico en consolidación "Sistemas Interactivos y Realidad Virtual" con registro PRODEP (ITPUE-CA-4). Perteneció al Sistema Nacional de Investigadores (SNI). Su investigación se encuentra en el área de sistemas interactivos y realidad virtual con énfasis en sistemas mecatrónicos.



**SERGIO JAVIER TORRES MENDEZ** recibió el grado de Doctor en Ciencias en Ingeniería Mecánica en 2014 por parte de la Universidad de Waterloo, Ontario, Canadá; el grado de Maestro en Ciencias en Electrónica en 2008 por la Benemérita Universidad Autónoma de Puebla, y el grado de Maestro en Ciencias en Ingeniería Mecánica por parte del Instituto Tecnológico de Veracruz en 1995. Es Profesor de tiempo completo en el Instituto Tecnológico de Puebla

desde 1995 y auxiliar en el Laboratorio de Manufactura Avanzada desde 2015. Es miembro del cuerpo académico en Consolidación: Sistemas interactivos y realidad virtual. Sus intereses de investigación se relacionan con el diseño y desarrollo de robots de alta velocidad y de sistemas mecatrónicos interactivos para la asistencia humana. Así también, se están realizando estudios para el desarrollo de sistemas mecatrónicos automotrices que sean amigables con el medio ambiente.



**VICENTE RAMIREZ PALACIOS** recibió el grado de Maestro en Ciencias en Electrónica en 1997 del Instituto Nacional de Astrofísica, Óptica y Electrónica, recibe el título de Ingeniero Industrial en Electrónica en 1996 del Instituto Tecnológico de Puebla. Es Profesor de tiempo completo a nivel Licenciatura en el Instituto Tecnológico de Puebla. Trabajando en Automatización y Control de Procesos, utilizando algoritmos PID, Lógica Difusa y Redes Neuronales;

comunicando los procesos a través de Redes Industriales como son: Red ASi, Red Profibus, Red Ethernet y Red Profinet, teniendo Control y Adquisición de Datos de los procesos por medio de un SCADA. Integrante del cuerpo académico en consolidación "Sistemas Interactivos y Realidad Virtual" <http://ca.realidaditp.com/>. laborador en los proyectos: Integración de una banda transportadora a una celda flexible CIM, Diseño y construcción de robot tipo grúa, Desarrollo de un sistema prototipo mecatrónico para aplicaciones de desplazamiento de invidentes en ambientes no estructurados, Impresión 3D de una mano robótica, Identificación del grado de madurez de jitomate por medio de visión artificial y Sistema interactivo multiplataforma, aplicado al control y registro de personal en forma automatizada.



Fecha de recepción: 06 de junio de 2025, fecha de publicación en línea: octubre de 2025.

# Análisis de Desempeño de Servicios de Notificación en la Nube: Twilio y Google SMTP

Blanca Estela Islas Flores<sup>1</sup>, Arley Iván Solís Zacapantzi<sup>2</sup>, María Janáí Sánchez Hernández<sup>3</sup>, José Juan Hernández Mora<sup>4</sup>, Juan Ramos Ramos<sup>5</sup>, Elizabeth Cuatecontzi Cuahutle.<sup>6</sup>

<sup>1</sup> Tecnológico Nacional de México – Instituto Tecnológico de Apizaco. San Andrés Ahuashuatepec, Municipio de Tzompantepec, Tlaxcala, C.P. 90491, México.

Autor de correspondencia: Autor. Blanca Estela Islas Flores ( [m23370004@apizaco.tecnm.mx](mailto:m23370004@apizaco.tecnm.mx)).

---

**Abstract-** This study provides a practical foundation for optimizing notification systems in critical applications, combining efficiency, security, and scalability. This study analyzes the performance of Twilio and Google SMTP (Simple Mail Transfer Protocol) cloud-based notification services, focusing on latency, costs, and CPU usage rather than proposing a new software design. Using the Extreme Programming (XP) methodology to structure experimental iterations—selected for its emphasis on rapid feedback and iterative improvement—we evaluated key metrics across various hardware platforms (Intel® Core™ i3, i5, i7 and Apple M1). Controlled tests reveal that Google SMTP achieves lower latency subject to throughput limitations, while Twilio delivers consistent messaging performance at a fixed per-message cost. Our results provide practical insights for optimizing real-time notification systems in critical applications. Future work will explore integration of more scalable technologies, such as Firebase Cloud Messaging and RabbitMQ.

**Keywords:** Extreme Programming (XP), Google SMTP, performance, real-time notifications, scalability, software architecture, Twilio.

---

## I. INTRODUCCIÓN

Las notificaciones en tiempo real son elementos fundamentales en los sistemas modernos; sin embargo, su implementación conlleva desafíos significativos relacionados con la latencia, los costos operativos y el uso de recursos de cómputo.

En este estudio se analiza el rendimiento de dos servicios de notificación en la nube Twilio (mensajes SMS) y Google Simple Mail Transfer Protocol (SMTP) mediante un conjunto de pruebas controladas que comparan su eficiencia sobre distintos procesadores (Intel® Core™ i3, i5, i7 y Apple M1).

Se eligieron Twilio y Google SMTP porque representan dos canales de notificación complementarios SMS y correo electrónico con alta adopción industrial, API REST maduras y planes gratuitos comparables. Esta selección permite aislar el efecto del tipo de canal sobre el desempeño sin introducir sesgos derivados de proveedores con arquitecturas similares; alternativas como AWS SNS, SendGrid o Firebase Cloud Messaging se descartaron para mantener el experimento controlado y la carga de pruebas manejable.

El empleo de plataformas *cloud* ha demostrado reducir tanto los tiempos de desarrollo como los costos iniciales gracias a su rápida configuración, alta disponibilidad y escalabilidad elástica. Según Alfaro Quintero et al. [1], las herramientas gratuitas basadas en infraestructura en la nube permiten entrenar modelos complejos con barreras mínimas de entrada técnica y económica, optimizando procesos críticos como la detección temprana de enfermedades. Estas ventajas también resultan aplicables al diseño de sistemas de notificaciones, facilitando la implementación de arquitecturas eficientes sin grandes inversiones iniciales.

El resto del artículo se organiza de la siguiente manera: el Apartado II presenta los trabajos relacionados que abordan la implementación de notificaciones en tiempo real mediante APIs en la nube; el Apartado III describe el estado actual del problema y los principales retos técnicos; el Apartado IV detalla la metodología experimental basada en Extreme Programming (XP); el Apartado V expone y discute los resultados obtenidos; y, finalmente, el Apartado VI resume las conclusiones y propone futuras líneas de investigación, incluida la integración de Firebase Cloud Messaging y RabbitMQ.

## II. TRABAJOS RELACIONADOS

Diversos estudios recientes han explorado la implementación de notificaciones en tiempo real mediante APIs y arquitecturas distribuidas en la nube, subrayando tanto los avances conseguidos como los desafíos por superar. Uchuari Quiñónez [2] desarrolló un sistema de gestión de citas y servicios para la peluquería “Shakinah” empleando el patrón Model-View-ViewModel (MVVM), demostrando la viabilidad de integrar notificaciones instantáneas en contextos de salud digital. Trujillo Malaver, Daza Rojas y Morales Gallego [3] propusieron una mejora en la arquitectura del sistema de gestión de la demanda WA Collaborative, basada en microservicios .NET y orquestada con RabbitMQ, alcanzando mejoras en escalabilidad y balanceo de carga. Prabhakar et al. [4] emplearon aprendizaje por refuerzo offline para optimizar múltiples objetivos en el envío de notificaciones móviles, evidenciando aumentos en eficiencia y personalización. Yuan et al. [5] exploraron políticas de aprendizaje por refuerzo offline para notificaciones móviles en entornos con restricciones de entrega, mostrando la viabilidad de estrategias adaptativas. Finalmente, Samarin et al. [6] investigaron cómo las aplicaciones de mensajería segura filtran datos sensibles a servicios push, revelando vulnerabilidades de privacidad y proponiendo mecanismos de mitigación. Estos aportes proporcionan un marco técnico sólido que respalda la comparación entre Twilio y Google SMTP, estableciendo criterios de evaluación centrados en rendimiento, seguridad y escalabilidad.

De los trabajos analizados, destacan particularmente las contribuciones de Trujillo Malaver et al. y Prabhakar et al., quienes, respectivamente, demostraron la eficacia de arquitecturas multicapa basadas en microservicios con RabbitMQ y de políticas de aprendizaje por refuerzo offline para optimizar la entrega de notificaciones. **Estos enfoques** fundamentan la elección de Twilio y Google SMTP y refuerzan el marco técnico de nuestro análisis comparativo.

## III. ESTADO DEL PROBLEMA

Las notificaciones en tiempo real son fundamentales en diversas aplicaciones y servicios, desde la comunicación empresarial hasta la gestión de sistemas administrativos y de seguridad. Sin embargo, su implementación eficiente enfrenta varios desafíos técnicos y operativos.

Uno de los principales problemas es la latencia en la entrega de mensajes, que puede verse afectada por factores como la infraestructura del servidor, la velocidad de la red y la optimización del código de las APIs utilizadas. Un retraso en la entrega de notificaciones puede afectar la experiencia del usuario y la funcionalidad del sistema.

Otro aspecto crítico es el costo asociado al uso de servicios de notificación en la nube. Muchas soluciones dependen de plataformas externas como Twilio y Firebase Cloud Messaging, cuyos costos pueden escalar rápidamente en función del número de notificaciones enviadas. Esto plantea

un desafío para organizaciones que buscan optimizar el gasto sin comprometer la eficiencia y confiabilidad del servicio.

Además, el uso de CPU y la carga sobre los servidores son elementos determinantes en la arquitectura de los sistemas de notificaciones. Un mal diseño en la implementación puede generar sobrecarga en los servidores, aumentando el consumo de recursos y afectando el rendimiento general del sistema. Es fundamental considerar estrategias como la distribución de carga, uso de colas de mensajes y optimización de consultas a bases de datos para mitigar estos efectos.

Finalmente, la seguridad en las notificaciones es un aspecto crítico, especialmente en contextos donde la información enviada contiene datos sensibles. La falta de cifrado adecuado o la exposición de credenciales de API pueden generar vulnerabilidades que comprometan la integridad y privacidad de los usuarios. La implementación de protocolos de seguridad robustos y el monitoreo constante del tráfico de notificaciones son esenciales para garantizar un sistema seguro y confiable.

## IV. METODOLOGÍA

La presente investigación se desarrolló bajo la metodología Extreme Programming (XP), caracterizada por su enfoque iterativo e incremental, orientado a la mejora continua y la entrega temprana de resultado como se muestra en la **Figura 1**.



**Figura 1.** Diagrama XP

### ¿Por qué Extreme Programming (XP)?

XP fue seleccionado por sus ciclos de desarrollo muy cortos, integración continua y feedback constante del cliente. A diferencia de metodologías como Scrum o Waterfall, XP facilita la rápida adaptación a cambios de requisitos, promueve el desarrollo guiado por pruebas (Test-Driven Development, TDD) y fomenta la programación en parejas para garantizar la calidad del código.

El proceso metodológico se estructuró en cinco fases principales:

### A. Planificación

En esta fase se definieron los objetivos del estudio y las métricas clave de evaluación: latencia, costo por notificación y uso de CPU. Asimismo, se seleccionaron las plataformas Twilio y Google SMTP (correo electrónico), y se establecieron los escenarios de carga con 10, 50, 100 y 500 notificaciones para su análisis.

### B. Diseño

Se diseñó una plataforma de pruebas utilizando el lenguaje de programación Python y el framework Django, adoptando una arquitectura híbrida que integró microservicios, una base de datos relacional PostgreSQL y mecanismos para el registro de métricas. Este diseño permitió centralizar el monitoreo del sistema y facilitar la recolección de datos durante los experimentos.

### C. Codificación

Siguiendo los principios de Test- Driven Development (TDD), se desarrollaron pruebas automatizadas mediante la herramienta pytest. Las pruebas fueron ejecutadas en distintos entornos de hardware —Intel Core i3, i5, i7 y Apple M1— con el objetivo de evaluar el impacto del procesador en el rendimiento del sistema.

### D. Validación y análisis de resultados

Se realizaron múltiples iteraciones para evaluar comparativamente el desempeño de Twilio y Google SMTP en condiciones controladas. Además, se llevaron a cabo simulaciones de concurrencia utilizando WebSockets, lo cual permitió observar el comportamiento del sistema ante cargas simultáneas.

### E. Optimización y propuestas de mejora

Con base en los resultados obtenidos, se formularon propuestas de mejora orientadas a incrementar la escalabilidad del sistema. Entre las tecnologías consideradas para futuras implementaciones se encuentran Firebase Cloud Messaging (FCM) y, eventualmente, sistemas de colas como RabbitMQ o Kafka, con el propósito de optimizar el procesamiento de grandes volúmenes de notificaciones.

Este enfoque metodológico permitió una evaluación ágil y sistemática de tecnologías para notificaciones en tiempo real, proporcionando una base sólida para futuras mejoras en términos de eficiencia, escalabilidad y robustez.

## V. RESULTADOS

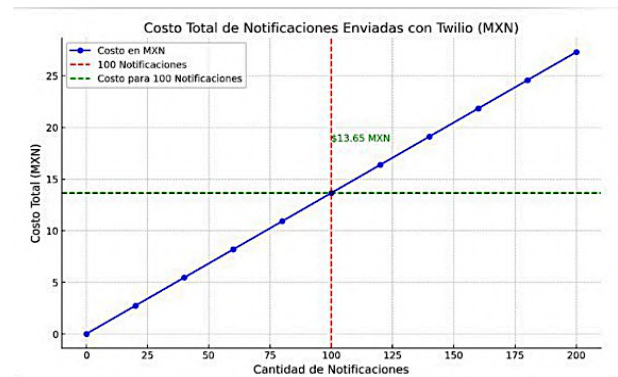
En este apartado se presentan los principales hallazgos derivados de la investigación sobre el diseño e implementación de una arquitectura para la gestión de notificaciones en tiempo real en la nube. El análisis se centró en variables críticas como la latencia, el costo por mensaje y el uso de recursos computacionales, comparando tecnologías existentes y poniendo estrategias para mejorar la eficiencia y escalabilidad del sistema como se muestra en la **Figura 2**.



**Figura 2.** Flujo de investigación de notificaciones en tiempo real en la nube.

Se identificaron oportunidades de mejora orientadas a la escalabilidad del sistema, tales como la implementación de técnicas de *batching* y la integración futura de servicios como *Firebase Cloud Messaging (FCM)*. Adicionalmente, se plantea la posibilidad de incorporar sistemas de colas de mensajes como *RabbitMQ* o *Kafka*, con el fin de mejorar la eficiencia en el procesamiento masivo de notificaciones.

La **Figura 3** ilustra el crecimiento lineal del costo total en función del número de notificaciones enviadas, con un costo fijo de 0.137 MXN por mensaje. Por ejemplo, enviar 100 notificaciones implica un costo de 13.65 MXN, como se resalta en la intersección de las líneas punteadas. Este análisis evidencia la relación proporcional entre el número de notificaciones y el costo total.



**Figura 3.** Costo total de notificaciones enviadas con Twilio.

La **Figura 4** muestra el aumento lineal de la latencia total con el número de notificaciones enviadas, con una latencia fija de 150 ms por mensaje. Por ejemplo, enviar 100 notificaciones genera una latencia acumulada de 15,000 ms, como se destaca en la intersección de las líneas punteadas. Este análisis permite visualizar cómo el incremento de notificaciones impacta el rendimiento del sistema.

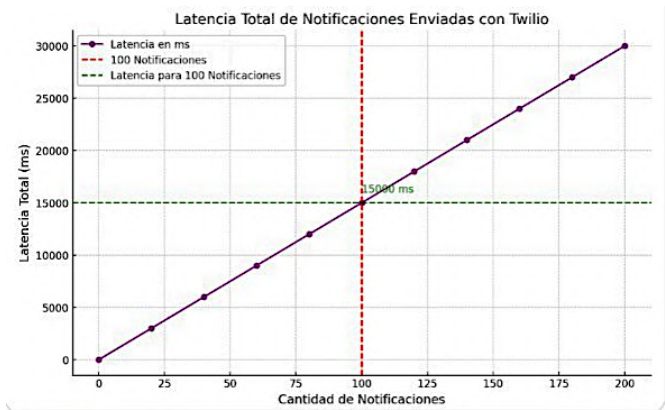


Figura 4. Latencia total de notificaciones enviadas con Twilio

Los resultados indican que el procesador Apple M1 es más eficiente que los Intel en el manejo de grandes volúmenes de datos, debido a la optimización de macOS y su arquitectura ARM. Sin embargo, futuras pruebas podrían demostrar un mejor desempeño en los Intel Core i9 o i7, optimizados para tareas de alta demanda computacional, como se observa en la **Figura 5**.

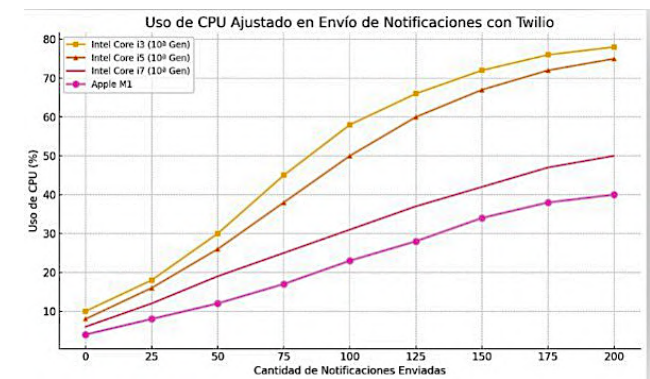


Figura 5. Uso de CPU en Twilio

La **Figura 6** muestra el aumento lineal de la latencia total en función de la cantidad de correos enviados, con una latencia fija de 50 ms por correo. Por ejemplo, enviar 100 correos genera una latencia acumulada de 5000 ms, como se destaca en la intersección de las líneas punteadas. Este análisis evidencia cómo el rendimiento del sistema se ve afectado por la acumulación de latencia a medida que crece el volumen de correos enviados.

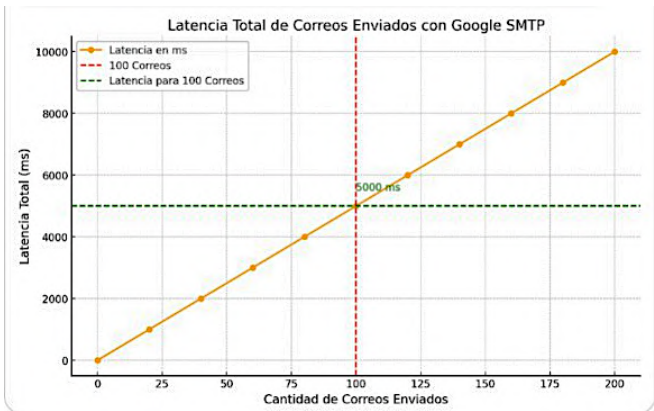


Figura 6. Latencia de correos con Google SMTP

La **Tabla 1** presenta un resumen de las características principales y los costos asociados a los planes de Gmail y Google Workspace. Se detalla el límite de correos electrónicos que se pueden enviar de manera gratuita por día, así como las opciones de suscripción disponibles para Google Workspace. Los costos se diferencian entre planes con compromiso anual y sin compromiso, permitiendo a los usuarios seleccionar la opción más adecuada según sus necesidades.

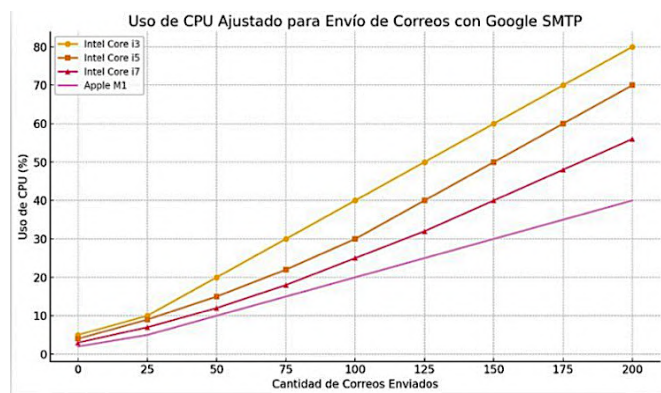
Tabla 1. Planes y límites de envío de correos en Gmail y Google Workspace.

Cuenta / Plan	Envíos gratis por día	Costo mensual (sin compromiso)
Gmail Gratuito	Hasta 100 correos	Gratis
Business Starter	Hasta 2,000 correos	Gratis
Business Standard	108 MXN por usuario	129,60 MXN por usuario
Business Plus	216 MXN por usuario	259,20 MXN por usuario
Enterprise	Contactar con ventas	Contactar con ventas

Fuente: googleworkspace2024



La **Figura 7** muestra la variación del uso de CPU en función de la cantidad de correos enviados mediante Google SMTP, comparando los procesadores Intel Core i3, i5, i7 y Apple M1. A medida que aumenta el número de correos, el consumo de CPU crece proporcionalmente, destacándose que los Intel Core i3 y i5 presentan un mayor consumo en comparación con el Apple M1, que resulta ser el más eficiente en la evaluación.



**Figura 7.** Uso de CPU Ajustado para Envío de Correos con Google SMTP

## VI. CONCLUSIONES

Este trabajo evaluó de manera sistemática la latencia, el costo por mensaje y el consumo de CPU de dos servicios de notificación en la nube Twilio y Google SMTP) aplicando un proceso iterativo basado en Extreme Programming. Los experimentos muestran que Twilio mantiene una latencia media de 150 ms con un costo fijo de 0.137 MXN por SMS, mientras que Google SMTP reduce la latencia a 50 ms por correo, aunque está sujeto a cuotas de envío que limitan su escalabilidad inmediata.

En términos de hardware, el Apple M1 superó a los Intel Core i3 e i5 en eficiencia de CPU para ambas plataformas. Se sugiere ampliar las pruebas a los procesadores Intel Core i7 e i9 y a futuros Apple Silicon para verificar el comportamiento bajo cargas superiores a las analizadas.

Con estos hallazgos y recomendaciones, el estudio ofrece una guía práctica para seleccionar y dimensionar servicios de notificación en aplicaciones que demandan alto rendimiento, costos controlados y expansión futura.

## REFERENCIAS

- [1] D. F. Alfaro Quintero, D. M. Chaparro Macias, J. P. Lozano Novoa y J. D. Palma Roa, "Análisis de rendimiento de modelos gratuitos de Machine Learning (aprendizaje automático) utilizados en infraestructura de la nube en la predicción de la diabetes," 2025.
- [2] P. G. Uchuari Quiñónez, «Desarrollo de un sistema de gestión de citas y servicios para la peluquería "Shakinah": frontend», Trabajo de Integración Curricular, Escuela Politécnica Nacional, Quito, Ecuador, 2024. [En línea]. Disponible en: <http://bibdigital.epn.edu.ec/handle/15000/25582>
- [3] E. Trujillo Malaver, J. L. Daza Rojas y W. A. Morales Gallego, Propuesta de una mejora en el diseño de la arquitectura del sistema de gestión de la demanda WA Collaborative, Universidad Tecnológica, 2024. [En línea]. Disponible: <http://hdl.handle.net/20.500.12622/6566>
- [4] P. Prabhakar, Y. Yuan, G. Yang, W. Sun, y A. Muralidharan, "Multi-objective optimization of notifications using offline reinforcement learning," arXiv preprint arXiv:2207.03029, Jul. 2022. [En línea]. Disponible: <https://arxiv.org/abs/2207.03029>
- [5] Y. Yuan, A. Muralidharan, P. Nandy, M. Cheng, y P. Prabhakar, "Offline reinforcement learning for mobile notifications," arXiv preprint arXiv:2202.03867, Feb. 2022. [En línea]. Disponible: <https://arxiv.org/abs/2202.03867>
- [6] N. Samarin, A. Sanchez, T. Chung, A. Bhavish Juleemun, C. Gilsenan, N. Merrill, J. Reardon, y S. Egelman, "The medium is the message: How secure messaging apps leak sensitive data to push notification services," arXiv preprint arXiv:2407.10589v1, Jul. 2024. [En línea]. Disponible: <https://arxiv.org/abs/2407.10589v1>



**BLANCA ESTELA ISLAS FLORES** recibió su licenciatura en Ingeniería en Tecnologías de la Información y Comunicaciones del Tecnológico Nacional de México, campus Apizaco, en 2022. Posteriormente, ingresó a la Maestría en Sistemas Computacionales en el mismo plantel, con especialización en el área de desarrollo de software. A lo largo de su formación, Blanca ha destacado por su dedicación en la creación e implementación de soluciones tecnológicas innovadoras, participando activamente en diversos proyectos de desarrollo de software.

Entre sus actividades, ha participado en el diseño y desarrollo del Sistema de Gestión Integral de Servicios Dentales del Estado de Tlaxcala, su enfoque en la mejora continua y la innovación reflejan su compromiso con el avance de la tecnología en beneficio de la sociedad.



#### **ARLEY IVÁN SOLÍS ZACAPANTZI**

Completó su Licenciatura en Ingeniería en Tecnologías de la Información y Comunicaciones en el Tecnológico Nacional de México, campus Apizaco, en 2022, y actualmente también cursa la Maestría en Sistemas Computacionales. A lo largo de su carrera, ha demostrado habilidades excepcionales en el desarrollo de software, participando en proyectos de gran relevancia junto con Blanca. Arley ha mostrado un fuerte

compromiso en la investigación y aplicación de soluciones tecnológicas avanzadas.

Ambos autores trabajan de la mano en proyectos de investigación y desarrollo de software, con un enfoque en la innovación tecnológica para la optimización de sistemas en sectores clave, como los servicios dentales y la gestión de datos.



#### **MARÍA JANAI SÁNCHEZ HERNÁNDEZ**

Licenciada en Informática en el año 2001 y Maestra en Ciencias de la Computación en 2005, ambas carreras cursadas en el Instituto Tecnológico de Apizaco. Sus intereses académicos son la Ingeniería de Software, el uso de las metodologías ágiles, inteligencia artificial aplicada a la ingeniería de software, la deuda técnica y el desarrollo de software. Desde 2004 es docente del área de Sistemas y Computación del TecNM Apizaco impartiendo diversas

asignaturas, y desde 2015 es colaboradora de la Maestría en Sistemas Computacionales del Instituto Tecnológico de Apizaco.



#### **JOSÉ JUAN HERNÁNDEZ MORA**

Es Ingeniero en Computación por la Universidad Autónoma de Tlaxcala. Tiene el grado de Maestro en Ciencias en Computacional es por el Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET), de Cuernavaca, Morelos y Doctor en Excelencia Docente por la Universidad de los Ángeles. Es Profesor con Perfil Deseable por parte del PRODEP, es líder del cuerpo académico

“Sistemas de Información” y nivel de candidato del SNII del CONAHCYT. Sus líneas de investigación incluyen: Ingeniería de Software, Desarrollo de Aplicaciones de Tecnologías de la Información, Procesamiento Digital de Imágenes (PDI), Redes Neuronales Artificiales (RNA).



#### **JUAN RAMOS RAMOS**

Licenciado en Informática por el Instituto Tecnológico de Apizaco, con estudios de Maestría en Ciencias Computacionales y Telecomunicaciones por el Instituto de Estudios Universitarios, A.C. y Doctorado en Sistemas Computacionales por la Universidad del Sur. PTC en el Tecnológico Nacional de México (TecNM) Instituto Tecnológico de Apizaco. Catedra a nivel licenciatura en la carrera de Ingeniería en Tecnologías de la Información y Comunicaciones, y a nivel posgrado, en la Maestría en Sistemas Computacionales.

Miembro del Cuerpo Académico “Sistemas de Información” con clave ITAPI-CA-6. Reconocimiento a Perfil Deseable otorgado por el PRODEP, a partir del año 2019.

Principales áreas de interés: Bases de datos, Ingeniería de Software, Sistemas distribuidos y Cómputo en la nube.

Desarrollo de proyectos de investigación y desarrollo tecnológico que solucionen necesidades en las organizaciones, liderando proyectos con el Tribunal Superior de Justicia del Estado de Tlaxcala, con el Municipio de Tzompantepec, con el Instituto Nacional de Migración y con la Asociación Dental del Estado de Tlaxcala, entre otras organizaciones del sector público.



#### **ELIZABETH CUATECONTZI CUAHUTLE**

Es Licenciada en Informática por el Instituto Tecnológico de Apizaco. Maestra en Dirección de Ingeniería de Software por el Instituto de Estudios Universitarios. Docente de tiempo completo en el Depto. de Sistemas y Computación del Tecnológico Nacional de México Campus Apizaco. Miembro del consejo de la Maestría en Sistemas Computacionales del TecNM Campus Apizaco. Área de interés: ingeniería de software y sistemas distribuidos.

Actualmente realiza los estudios de doctorado en el programa de doctorado en ciencias de la ingeniería.

Fecha de recepción: 07 de junio de 2025, fecha de publicación en línea: octubre de 2025.

# Control Directo de Par de un Motor Síncrono de Imanes Permanentes Aplicado en Electromovilidad Utilizando Redes Neuronales Artificiales

**Christian Pérez-Martínez, Rafael Ordoñez-Flores, J. Federico Casco-Vásquez y Roberto Morales-Caporal**

Adscritos al Tecnológico Nacional de México – Instituto Tecnológico de Apizaco. San Andrés Ahuashuatepec, Municipio de Tzompantepec, Tlaxcala, C.P. 90491, México.

Autor de correspondencia: Christian Pérez Martínez (correo electrónico: m18370629@apizaco.tecnm.mx).

**Abstract-** This article presents a comparison between two direct torque control (DTC) strategies applied to permanent magnet synchronous motors (PMSMs), both employing space vector modulation (SVM): a conventional DTC scheme based on PI controllers (SVM-DTC), and a proposed method integrating artificial neural networks (ANN-DTC). In the conventional approach, torque and flux control are handled by PI regulators, while in the proposed architecture, the ANN replaces these controllers by directly estimate the stationary reference frame voltage components ( $\alpha$  and  $\beta$ ) required by the SVM block. Additionally, the network infers the rotor position implicitly, eliminating the need for a separate angle estimator. Several related works on neural-network-based DTC are reviewed to support the development of an efficient control topology. Simulations under various operating conditions—including startup and load variation—demonstrate that the proposed ANN-DTC scheme achieves a significant reduction in torque and flux ripple, along with more accurate reference tracking.

**Keywords:** Direct Torque Control (DTC), Artificial Neural Network (ANN), Permanent Magnet Synchronous Motor (PMSM), Electric Vehicle (EV)

## I. INTRODUCCIÓN

EL principio de funcionamiento de los vehículos eléctricos (Electric Vehicles, EVs) tanto híbridos (Hybrid Electric Vehicle, HEV), híbridos enchufables (Plug-in Hybrid Electric Vehicle, PHEV) y de baterías (Battery Electric Vehicle BEV) es la conversión de energía eléctrica a mecánica haciendo uso de motores eléctricos diseñados para cumplir los requerimientos del vehículo tanto como el tamaño, la potencia, la velocidad y el par. En [1]-[7] diversos autores analizan las características y señalan algunos de los motores implementados en EVs, por ejemplo, en vehículos de pasajeros y algunos de carga, los motores más utilizados suelen ser de inducción (Induction Motor, IM) y síncronos de imanes permanentes (Permanent Magnet Synchronous Motor, PMSM), estos últimos han ido desplazando a los IM, estando actualmente presentes en trenes, vehículos de carga y varios vehículos de pasajeros. La presencia de los PMSM en la electromovilidad se debe a su alta eficiencia energética, alta densidad de potencia y su tamaño compacto, siendo este último mejorado por los PMSM de flujo axial, lo que les permite ser implementados directamente en las ruedas del vehículo.

Otro tipo de motor que se intenta incorporar son los motores de reluctancia conmutada (Switched Reluctance Motor, SRM). Los SRM tienen un menor costo respecto a los PMSM porque no necesitan de imanes permanentes, sin embargo, suelen ser

ruidosos y con rizo de par elevado a altas velocidades, además presentan una respuesta deficiente en la etapa transitoria [8].

Los motores de DC, debido a su baja densidad de potencia, han sido utilizados en vehículos pequeños como bicicletas eléctricas, scooters, algunas motocicletas, mini EVs de pasajeros y en algunos HEV [7].

Un elemento importante para el buen funcionamiento de los motores en electromovilidad es la aplicación de las técnicas de control, las cuales mejoran el rendimiento del motor frente a cargas dinámicas, como aceleraciones, frenados repentinos o inclinación del terreno. Para motores eléctricos en general, las técnicas de control se pueden agrupar en cinco categorías principales: el control escalar, el control vectorial, el control predictivo, el control inteligente y el control sin sensores. En vehículos eléctricos las técnicas de control más utilizadas suelen ser el control orientado al campo (Field Oriented Control, FOC) y el control directo de par (Direct Torque control, DTC), con algunas modificaciones que incrementan su rendimiento y eficiencia [1], [4], [9]-[11].

Ambas técnicas presentan ventajas y desventajas, por ejemplo, en [1], [10] y [11] se menciona que el FOC presenta una respuesta dinámica más suave respecto al DTC, y puede mantener el par deseado incluso en velocidad cero, mejorando el control a velocidades bajas. Sin embargo, este control suele ser más costoso, debido a que requiere cálculos complejos que

demandan sistemas computacionales más avanzados, así como sensores de flujo y velocidad.

Por otro lado, el DTC ofrece respuestas más rápidas y una estructura más sencilla, además de que puede ser implementado sin sensores mediante estimadores de flujo y par. Las desventajas de esta técnica de control es que presenta una ondulación mayor en el par y corriente, poca eficiencia en bajas velocidades, frecuencia de conmutación variable que provoca distorsión armónica y alta sensibilidad ante los parámetros internos del motor que suelen variar con cambios de temperatura [1]. Gracias a diversas investigaciones en el campo de la inteligencia artificial (Artificial Intelligence, AI) se ha mejorado el desempeño del DTC, reduciendo el rizo en corrientes, par y flujo del PMSM mediante el uso de controles híbridos con AI como controles con redes neuronales artificiales (Artificial Neural Networks, ANN), con lógica difusa (Fuzzy Logic, FL), con algoritmos genéticos, con modelo predictivo (Model Predictive, MP), entre otros [11]-[13].

Los trabajos realizados sobre el DTC desarrollados en la línea de la inteligencia artificial son muy variados, pues puede hacerse uso de diferentes algoritmos para realizar el control, la estimación de par y flujo, la conmutación del inversor, incluso determinar el estado de los parámetros internos variables del motor como la resistencia del estator. Los autores de [14] realizan una comparación entre un DTC convencional y uno controlado por ANN aplicado a PMSM. En este trabajo se utilizan tres ANN individuales con el fin de distribuir sus funciones. La primera red se encarga de estimar la posición eléctrica, la segunda se encarga de determinar el sector en el que el flujo se encuentra y la tercera selecciona el vector de voltaje adecuado para realizar la conmutación en el inversor. Los resultados muestran una reducción en el rizado, sin embargo, se nota un error positivo en estado estacionario en la respuesta del sistema implementado con ANN.

En [15], los autores realizan la comparación del DTC convencional con 2 estructuras de control, la primera implementada con lógica difusa y la segunda con modelo predictivo. Para la implementación con lógica difusa se sustituyen los comparadores de histéresis y tablas de conmutación con un controlador difuso, lo cual permite determinar el estado de conmutación del inversor utilizando los valores de error de par, error de flujo y la posición eléctrica. La segunda estructura implementada con modelo predictivo tiene 2 etapas principales, la definición de las variables de control y la selección del vector de voltaje. Sus resultados muestran que ambas implementaciones reducen el rizado del par y flujo respecto al DTC convencional, siendo la implementación con MP la que mejor los reduce.

En cuanto a los algoritmos genéticos, los autores de [16] lo utilizan para controlar un sistema de tracción eléctrica basado en DTC y aplicado en un EV simulado, además es comparado con un sistema controlado mediante ANN y otro que utiliza un controlador Proporcional-Integral (PI). Para ello, realizan pruebas simulando diversos entornos de conducción,

realizando variaciones en la velocidad y la carga mecánica del motor. Sus resultados muestran que el sistema implementado con GA reduce por mucho el rizado máximo de par y flujo, teniendo resultados similares al ANN y optimizando el consumo energético del vehículo.

En el presente artículo se compara un DTC implementado con Modulación de Vector Espacial (Space Vector Modulation, SVM) y uno implementado con ANN (ANN-DTC). El artículo se organiza de la siguiente manera: en la Sección II se presenta el modelo del PMSM. En la Sección III, se analiza el funcionamiento del DTC convencional. En la sección IV se analiza brevemente y plantea el desarrollo del DTC mejorado con la técnica SVM. En la sección V se analiza la aplicación de las ANN en el DTC. Dentro de la sección VI se muestra la propuesta de control de par y flujo utilizando ANN. En la sección VII se presentan las simulaciones y resultados obtenidos.

## II. MODELADO DEL MOTOR SÍNCRONO DE IMANES PERMANENTES

El modelo eléctrico en el marco de referencia  $d$  y  $q$  del rotor del PMSM es [15], [17] y [18]:

$$\begin{cases} v_d = R_s I_d + \frac{d\varphi_{sd}}{dt} + \omega_m \varphi_{sq} \\ v_q = R_s I_q + \frac{d\varphi_{sq}}{dt} + \omega_m \varphi_{sd} \end{cases} \quad (1)$$

Donde:

$v_d$  y  $v_q$  son los voltajes del estator en el eje  $d$  y eje  $q$  respectivamente.

$R_s$  es la resistencia del estator.

$I_d$  y  $I_q$  son las corrientes del estator en el eje  $d$  y eje  $q$  respectivamente.

$\varphi_d$  y  $\varphi_q$  son los flujos del estator en el eje  $d$  y eje  $q$  respectivamente.

$\omega_m$  es la velocidad angular del rotor o velocidad mecánica.

El circuito equivalente del PMSM en los ejes  $d$  y  $q$  se muestran en las figuras 1 y 2 [19].

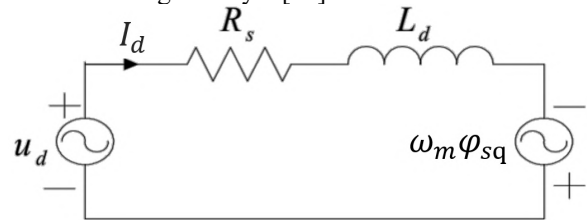


Figura 1. Circuito equivalente del PMSM en el eje  $d$ .

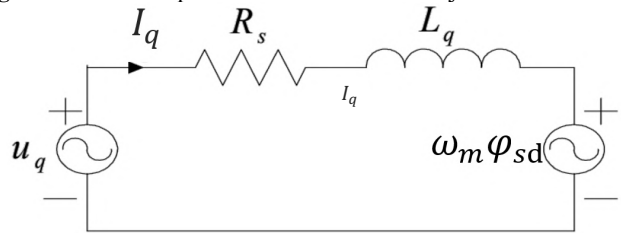


Figura 2. Circuito equivalente del PMSM en el eje  $q$ .



Los componentes de flujo en los ejes  $d$  y  $q$  se obtienen mediante:

$$\begin{cases} \varphi_{sd} = L_d I_d + \varphi_{PM} \\ \varphi_{sq} = L_q I_q \end{cases} \quad (2)$$

Donde  $L_d$  y  $L_q$  son las inductancias en los ejes  $d$  y  $q$ ,  $\varphi_{PM}$  es el flujo de los imanes permanentes, también denominado flujo de ligamiento. Los componentes de flujo también pueden expresarse en los ejes  $\alpha$  y  $\beta$ , haciendo uso de la transformada de Clarke en los voltajes y corrientes [12]:

$$\begin{cases} \varphi_\alpha = \int (u_\alpha - R_s i_\alpha) dt \\ \varphi_\beta = \int (u_\beta - R_s i_\beta) dt \end{cases} \quad (3)$$

de las cuales obtenemos el flujo del estator como:

$$|\varphi_s| = \sqrt{\varphi_\alpha^2 + \varphi_\beta^2} \quad (4)$$

y el ángulo eléctrico  $\theta_e$  o posición eléctrica:

$$\theta_e = \frac{\varphi_\beta}{\varphi_\alpha} \quad (5)$$

Además, la velocidad eléctrica puede expresarse como:

$$\omega_e = \frac{d\theta_e}{dt} \quad (6)$$

La relación entre la velocidad mecánica y la eléctrica está dada por:

$$\omega_e = p \omega_m \quad (7)$$

siendo  $p$  el número de pares de polos del motor.

Por otro lado, el par electromagnético  $T_e$  está representado por:

$$T_e = \frac{3}{2} p I_{sq} ((L_{sd} - L_{sq}) I_{sd} + \varphi_{PM}) \quad (8)$$

y en los ejes  $\alpha$  y  $\beta$  es:

$$T_e = \frac{3}{2} p (\varphi_\alpha i_\beta - \varphi_\beta i_\alpha) \quad (9)$$

La ecuación mecánica del PMSM es:

$$J \frac{d\omega_m}{dt} = T_e - T_f - F \omega_m - T_m \quad (10)$$

Donde:

$J$  es la inercia del motor.

$T_f$  es el par de fricción estático del eje.

$F$  es el coeficiente de amortiguamiento viscoso.

$T_m$  es el par mecánico del eje.

### III. DTC CONVENCIONAL

El DTC convencional fue propuesto por Takahashi y Noguchi en la década de 1980, inicialmente se implementó en IM, y luego fue adoptado para los sistemas de tracción de vehículos eléctricos debido a que requiere menos procesamiento que otras técnicas, ampliando su aplicación a motores PMSM [12].

El DTC se enfoca principalmente en controlar el par y el flujo sin la necesidad de controlar la corriente. Este control consta de un sensor de voltaje en el bus de DC, tres sensores de voltaje fase-neutro y sensores de corriente en dos de las tres fases que alimentan al motor, para estimar el par y flujo del PMSM utilizando las ecuaciones que rigen al motor (sección II), esto se logra al utilizar herramientas matemáticas como la transformación de Clarke, que transfiere los valores de corrientes y voltajes al sistema de coordenadas estacionario  $\alpha\beta$ , tal como es requerido en dichas ecuaciones.

El principio de operación del DTC convencional radica en el control por histéresis. Se utilizan dos comparadores: uno de tres niveles para el par y otro de dos niveles para el flujo. En conjunto con la posición eléctrica del rotor, se determina una secuencia de estados de conmutación para los transistores del inversor, variando el voltaje del estator y reduciendo el error en el par y el flujo [11]. En la figura 3 se muestra el diagrama del DTC convencional.

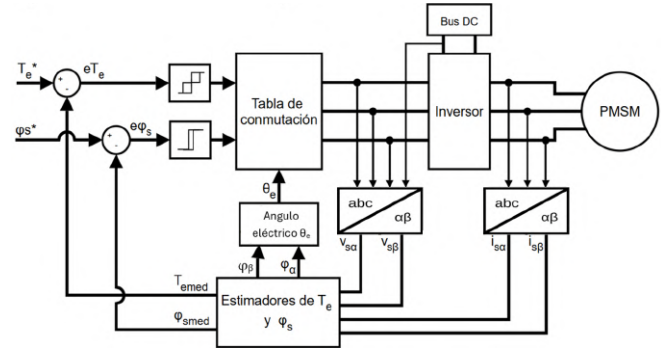


Figura 3. DTC convencional.

En este tipo de control es importante que los estimadores sean muy precisos, pues una incorrecta estimación en la posición puede causar la pérdida del desacoplamiento en par y flujo, llevando a que la máquina se des controle y genere oscilaciones en la velocidad, par y flujo que disminuyen la eficiencia del motor y que puede dañarlo si continúa en operación sin corregir este error [8].

### IV. CONTROL DIRECTO DE PAR CON MODULACION DE VECTOR ESPACIAL

El DTC convencional ha mostrado un buen desempeño en aplicaciones de tracción eléctrica, principalmente por su rápida respuesta dinámica y su estructura simple. Sin embargo, como se ha mencionado previamente, sigue teniendo problemas de rizado amplio, comportamiento inestable en bajas velocidades, la frecuencia de conmutación variable y alta sensibilidad ante los parámetros internos del motor [10].

Para reducir estas desventajas, se han desarrollado técnicas de mejora que permiten reducir el rizado y mejorar el desempeño ante velocidades bajas. Algunas de las mejoras típicas plantean sustituir los comparadores de histéresis con controladores PI y la implementación de técnicas de modulación como la Modulación de Vector Espacial (Space Vector Modulation, SVM) y la Modulación de Ancho de Pulso (Pulse Width Modulation, PWM) [12].

Entre estas alternativas, la mejora más utilizada suele ser la implementación del DTC con SVM. En esta configuración, el modulador de voltaje calcula vectores que determinan los estados de conmutación adecuados para el inversor, gracias a ello se puede reducir el rizado del flujo y par. Esto reduce la distorsión armónica del sistema, pues la frecuencia de conmutación se mantiene constante [11]. En la figura 4 se muestra el diagrama a bloques del DTC mejorado mediante SVM.

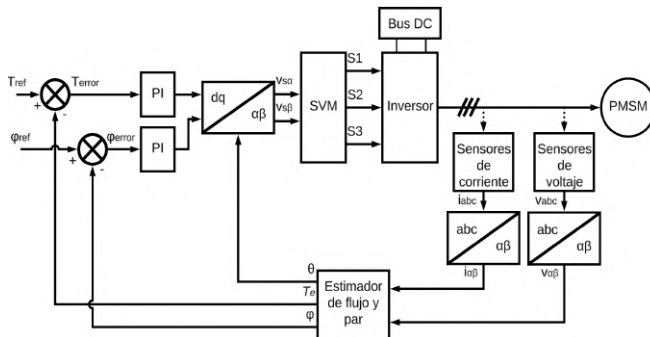


Figura 4. DTC mejorado con SVM y control PI.

Este sistema de control será utilizado como punto de referencia para el entrenamiento de la red planteada en secciones siguientes.

## V. CONTROL DE PAR Y FLUJO MEDIANTE ANN

En años recientes diversos autores han analizado la hibridación del DTC con algoritmos de AI, con el fin de reducir el rizo en el flujo y en el par. En [11] y [12] se enlistan diferentes trabajos relacionados al DTC hibridado con redes neuronales artificiales, trabajando diferentes enfoques y utilizando diversas configuraciones.

Por ejemplo, en [20] se comparan dos esquemas de implementación: en el primero el DTC convencional es implementado con comparadores de histéresis para regular par y flujo, mientras que la red neuronal es utilizada para sustituir a la tabla de conmutación; en la segunda configuración el DTC es implementado con SVM y la red reemplaza a los comparadores de histéresis, de esta forma controla el par y flujo del motor, obteniendo un rizo de par y un error de velocidad menor.

En [21] un control de velocidad basado en una red neuronal que trabaja en conjunto con otra red que sustituye las acciones de la tabla de conmutación es analizado y comparado con el control directo de par convencional, en esta configuración se disminuye demasiado el rizado de par y flujo, con un seguimiento de la velocidad sin sobretiros ni oscilaciones bruscas.

Otras aplicaciones de las redes neuronales artificiales han sido descritas en [22], donde la red es propuesta como estimador de par, flujo y posición, y en [23] como estimador de velocidad. Estos resultados, junto con los de otros autores que siguen la tendencia de reemplazar la tabla de conmutación y los comparadores de histéresis por redes neuronales, sugieren que la aplicación de redes neuronales en sistemas de tracción controlados por DTC es una alternativa conveniente.

## VI. SISTEMA PROPUESTO

Como ya se describió en la sección anterior, la implementación de redes neuronales en el DTC suele estar asociado a cumplir una sola función o es necesario utilizar una segunda red para controlar o estimar otras variables del sistema. El sistema propuesto utiliza una red neuronal que

controla el par y flujo, además de realizar la transformación de Clarke previa a la SVM.

El diagrama del control propuesto consiste en una red neuronal con entradas de referencia de par y flujo, y las respectivas estimaciones de dichas variables, sus salidas son los voltajes  $\alpha$  y  $\beta$  necesarios para realizar la modulación SVM. La figura 5 muestra una visualización previa del sistema de control propuesto.

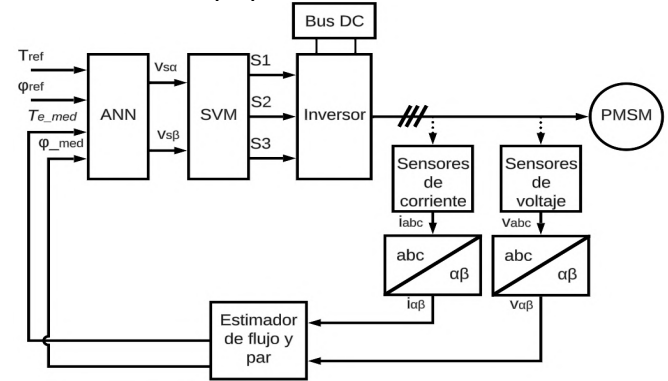


Figura 5. Sistema propuesto implementado con ANN.

## VII. METODOLOGÍA

Para evaluar el desempeño del sistema propuesto de control directo de par basado en redes neuronales, este se implementó dentro del entorno de simulación MATLAB/Simulink. El modelo completo del motor PMSM, incluyendo el modelo eléctrico, mecánico y las ecuaciones de estimación del flujo y par fueron incluidos en el sistema.

### A. Configuración del Sistema de Simulación

Se utilizó una topología de inversor trifásico de 2 niveles, controlado mediante control directo de par implementado con modulación de vector espacial (SVM) para entrenar la red neuronal y posteriormente comparar los resultados obtenidos.

Para esta aplicación se consideran los parámetros internos del motor enlistados en la tabla 1.

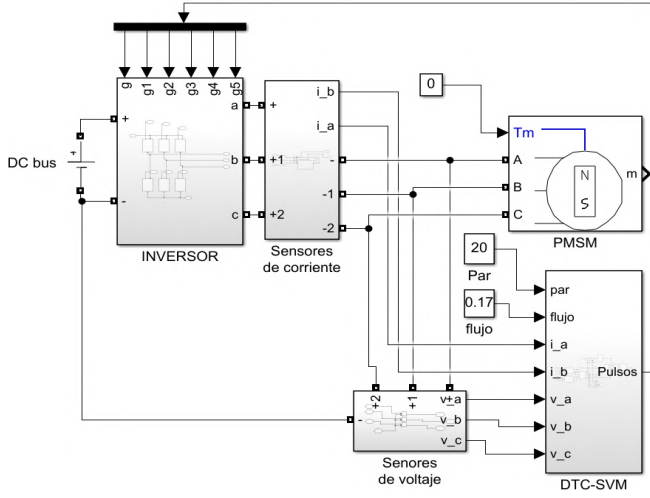
Tabla I. Parámetros internos del motor

Parámetro	Valor	Unidad
Número de pares de polos ( $p$ )	4	-
Resistencia de estator ( $R_s$ )	35	mΩ
Inductancias d-q ( $L_{d-q}$ )	0.07	mH
Flujo permanente ( $\Phi_{PM}$ )	0.17	Wb
Inercia del motor ( $J$ )	0.005	kg·m <sup>2</sup>

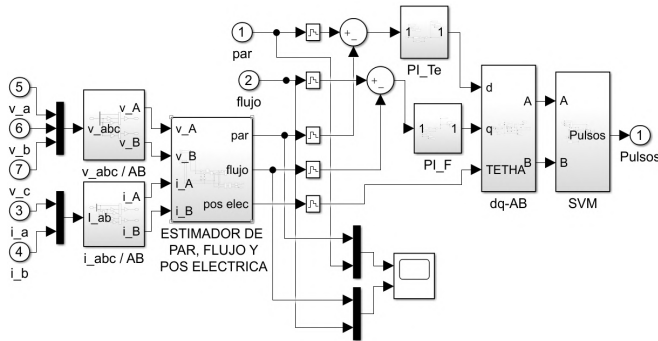
### B. Diagrama de Bloques del DTC Implementado con SVM en Simulación

Para el desarrollo de este sistema se realizó el diagrama a bloques del DTC mejorado mediante SVM y controladores PI de par y flujo. En las figuras 6 y 7 se muestra dicho diagrama dentro del entorno de simulación de Simulink, dentro de la figura 6 el inversor junto a los sensores de voltaje corriente, el PMSM y el bloque de control, mientras que en la figura 7

los bloques de control que incluyen las transformadas de Clarke, estimador de par, flujo y posición eléctrica, los controles PI de par y flujo, la transformada  $dq$  a  $\alpha\beta$  y el bloque SVM.



**Figura 6.** Diagrama de potencia del DTC implementado en Simulink.



**Figura 7.** Diagrama de control del DTC-SVM implementado en Simulink.

### C. Estructura y Entrenamiento de la Red Neuronal

La red neuronal fue entrenada utilizando el algoritmo de retropropagación (backpropagation) con el método Levenberg–Marquardt. Se utilizó una arquitectura de red feedforward de 3 capas (entrada, oculta y salida), con 20 neuronas en la capa oculta y funciones de activación tipo sigmoide. Para su entrenamiento se tomaron muestras de las entradas y salidas con un tiempo de muestreo de  $1\mu s$  y, con el fin de mejorar su entrenamiento, se incorporaron retardos temporales en las señales de entrada. Al incluir retardos en las entradas, la red neuronal se transforma en un modelo con capacidad dinámica, pues le permite contar con información de estados anteriores del sistema, con esto se logra mejorar la toma de decisiones al tener en cuenta la evolución reciente de las variables.

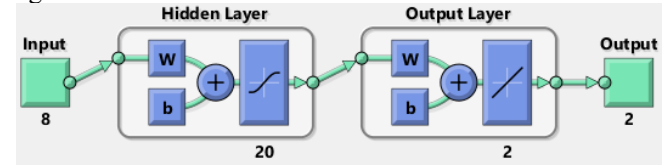
Esta red fue diseñada con el objetivo de sustituir los controladores PI del DTC-SVM y la transformación  $dq$  a  $\alpha\beta$ . Esta arquitectura simplifica el control y reduce el número de bloques necesarios en control. Para ello, la red recibe como entradas:

- Par de referencia ( $T_e^*$ )
- Retardo temporal del par de referencia ( $T_e^* - 1$ )
- Flujo de referencia ( $\varphi^*$ )
- Retardo temporal del flujo de referencia ( $\varphi^* - 1$ )
- Par medido ( $T_{emed}$ )
- Retardo temporal del par medido ( $T_{emed} - 1$ )
- Flujo medido ( $\varphi_{emed}$ )
- Retardo temporal del flujo medido ( $\varphi_{emed} - 1$ )

Con estos valores, la red estima los voltajes que deben aplicarse al estator del motor, teniendo como salidas:

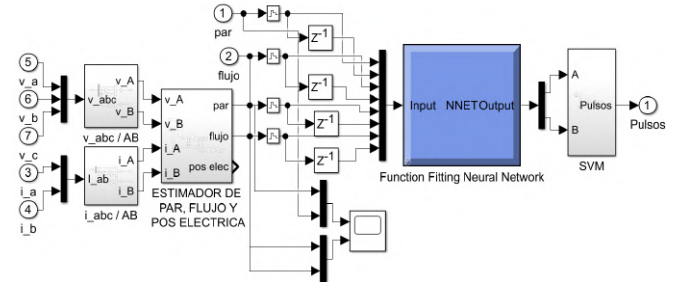
- Valores de voltaje en el dominio  $\alpha\beta$

La estructura de la red entrenada puede observarse en la figura 8.



**Figura 8.** Estructura de la red neuronal

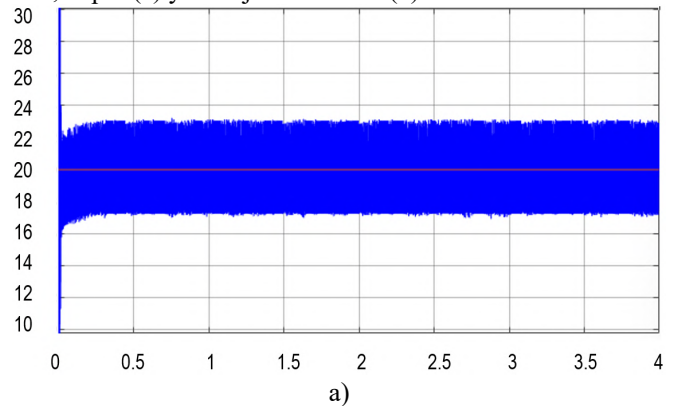
Con la red ya entrenada, es posible crear el diagrama de bloques en Simulink de la figura 9 y proceder a analizar los resultados.



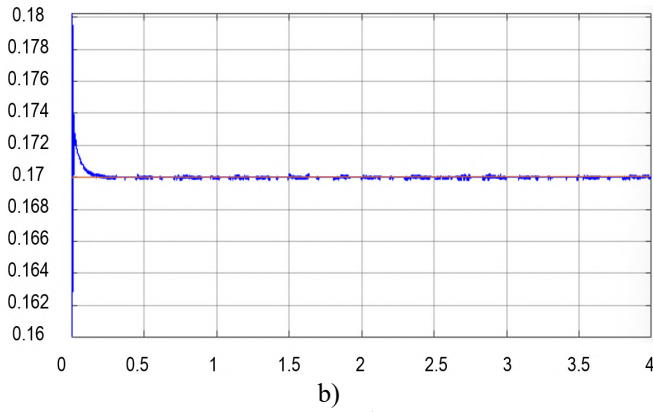
**Figura 9.** Diagrama de control propuesto implementado en Simulink

## VIII. SIMULACIONES Y RESULTADOS.

Los resultados del DTC implementado con SVM son comparados con la técnica propuesta en este artículo. En la figura 10 se muestra la respuesta a un par de referencia de 20 Nm, el par (a) y el flujo del estator (b) estimado.

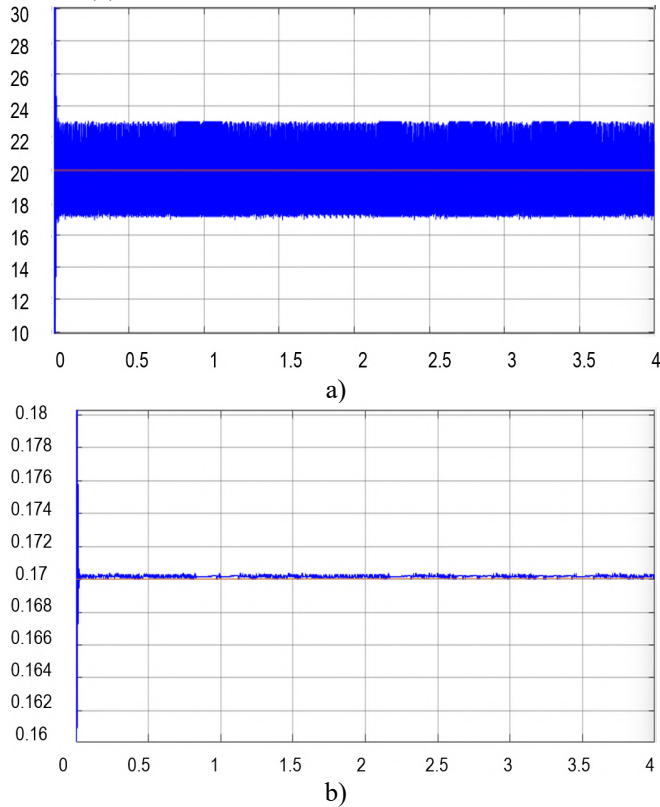






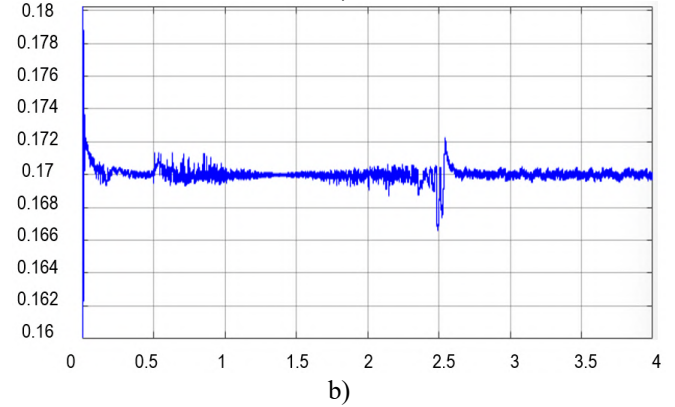
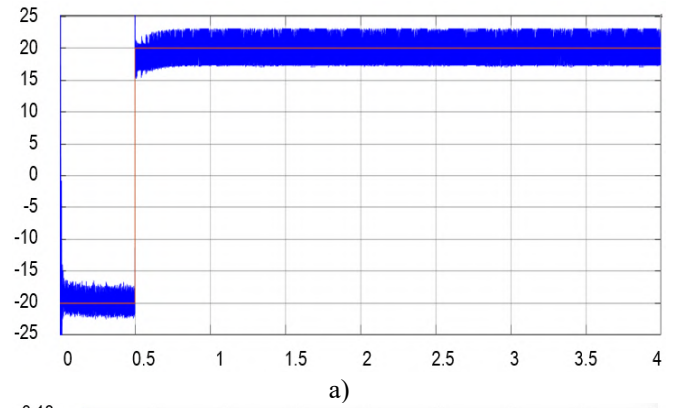
**Figura 10.** Respuesta del DTC con  $T_e^*=20$  Nm, (a) par, (b) flujo del estator.

En la figura 11 se presenta la respuesta de la red ante la misma referencia de par de 20 Nm, el par (a) y el flujo del estator (b) estimado.



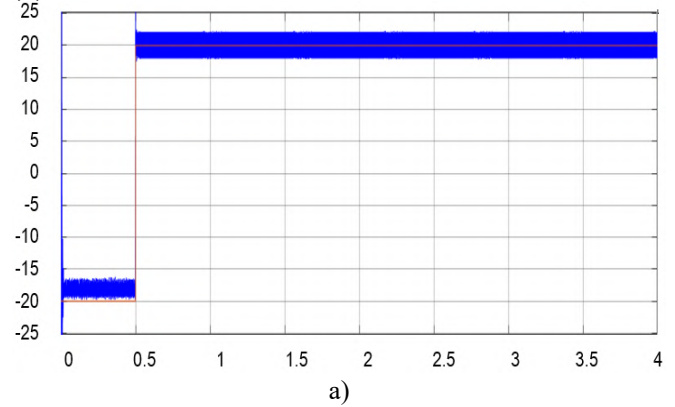
**Figura 11.** Respuesta del sistema propuesto con  $T_e^*=20$  Nm, (a) par, (b) flujo del estator.

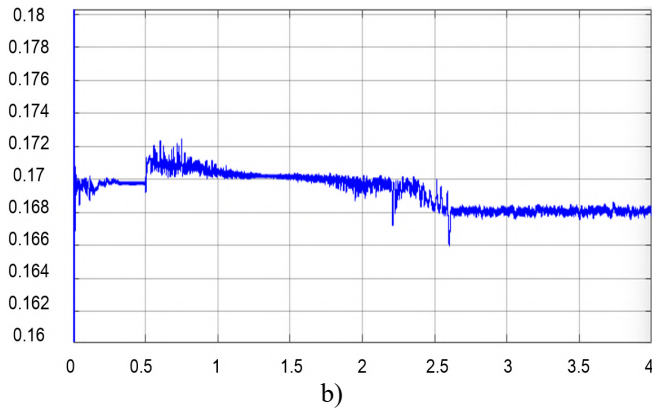
Como parte de las pruebas dinámicas realizadas se muestra en la figura 12 la respuesta de DTC-SVM a un escalón que va desde -20 a 20 Nm, a los 0.5 s, (a) el par, (b) el flujo estimado del estator.



**Figura 12.** Respuesta del DTC con una referencia de escalón de  $T_e^*=-20$  a 20 Nm, (a) par, (b) flujo del estator.

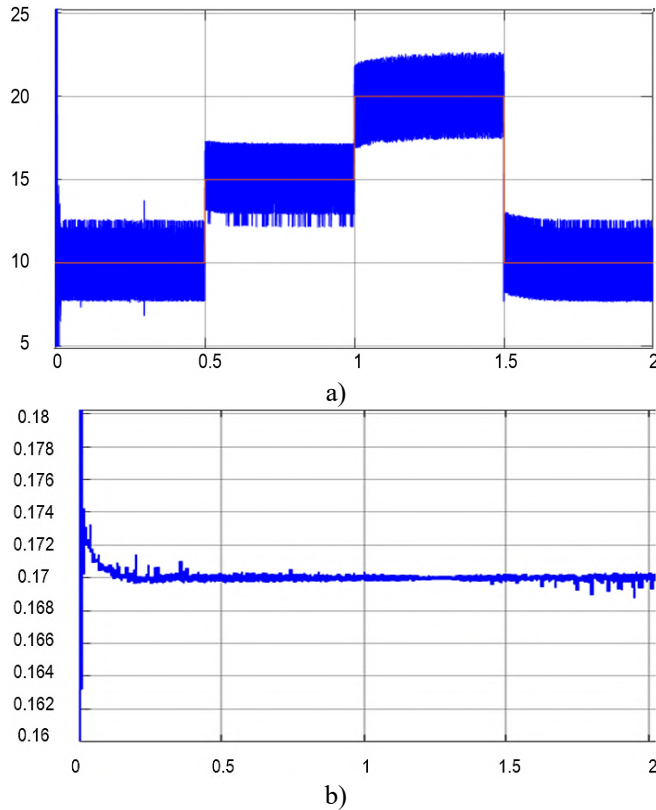
En la figura 13 se observa la respuesta del sistema propuesto, sin carga mecánica ante el mismo escalón de -20 a 20 Nm, a los 0.5 s, (a) el par, (b) el flujo estimado del estator.





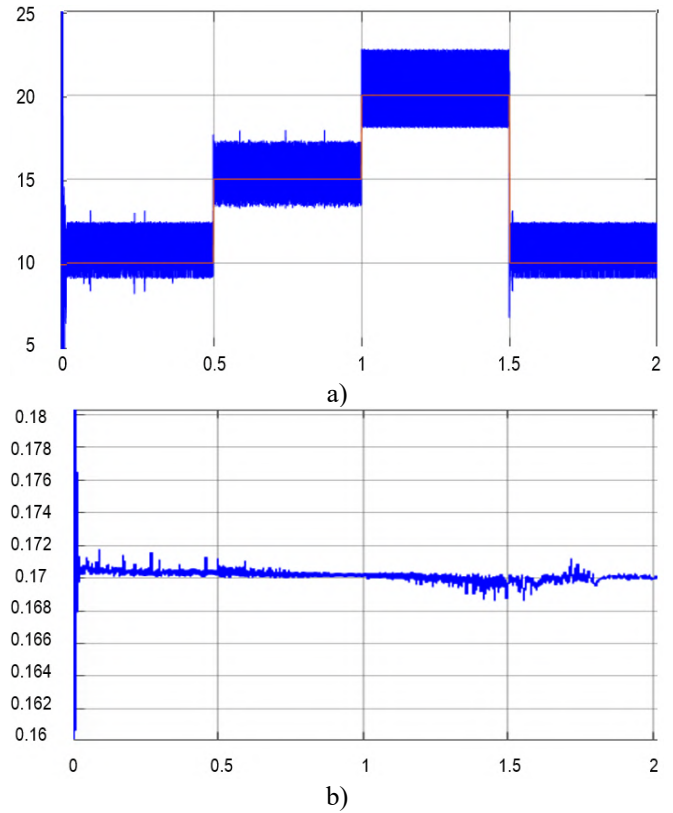
**Figura 13.** Respuesta del sistema propuesto ante una referencia de escalón de  $T_e^* = -20$  a 20 Nm, (a) par, (b) flujo del estator.

Otra prueba dinámica aplicada al DTC consiste en referencias escalonadas a diferentes niveles como se muestra en la figura 14, en ella los cambios son cada 0.5 s con valores de 10, 15, 20, 10 Nm. Se observa que algunas transiciones son un poco lentas y en algunos lapsos el rizado del par no es tan estable.



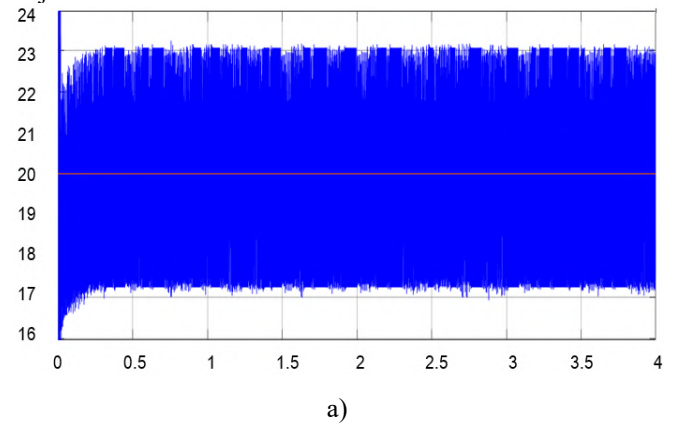
**Figura 14.** Respuesta del DTC con una referencia escalonada variable, (a) par, (b) flujo del estator.

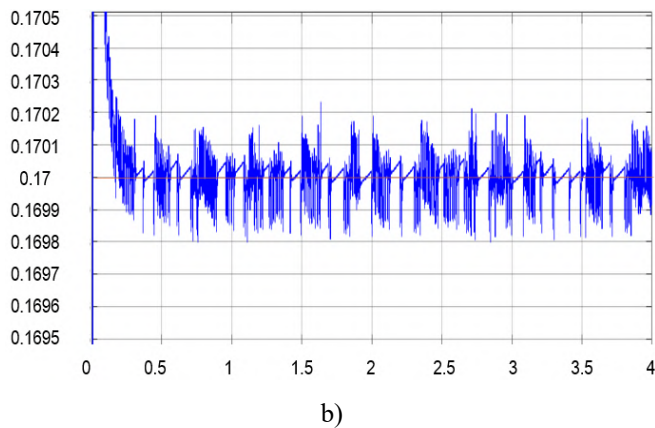
El sistema propuesto también fue puesto a prueba ante la señal escalonada variable, en la figura 15 se puede observar su comportamiento, el cual disminuye el rizo y mejora la respuesta dinámica.



**Figura 15.** Respuesta del sistema propuesto ante una referencia escalonada variable, (a) par, (b) flujo del estator.

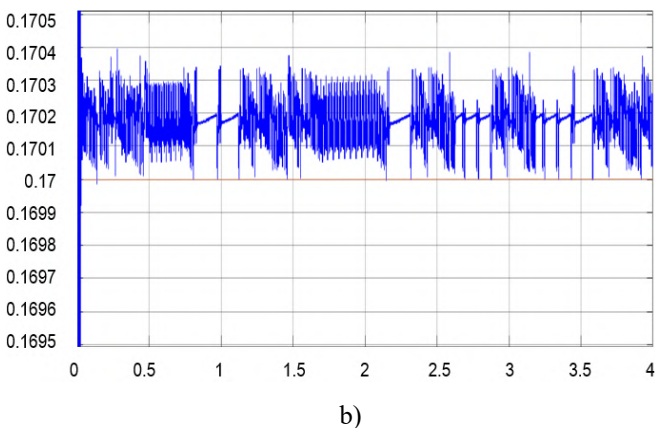
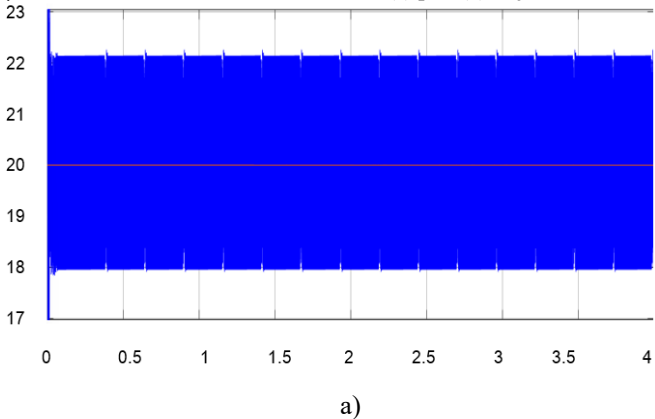
Con el fin de analizar los parámetros del rizado de par y flujo se realiza un acercamiento dentro de las simulaciones, en el caso del DTC el rizado de par tiene aproximadamente 6 Nm pico a pico y el de flujo aproximadamente de 400  $\mu$ Wb, aunque el sistema presenta una respuesta sesgada, manteniéndose por encima del valor de referencia. En la figura 16 se observa dicho acercamiento, (a) es el par y (b) el flujo del estator.





**Figura 16.** Acercamiento a la respuesta del DTC en estado estable, con un par de referencia de 20 Nm, (a) par, (b) flujo del estator.

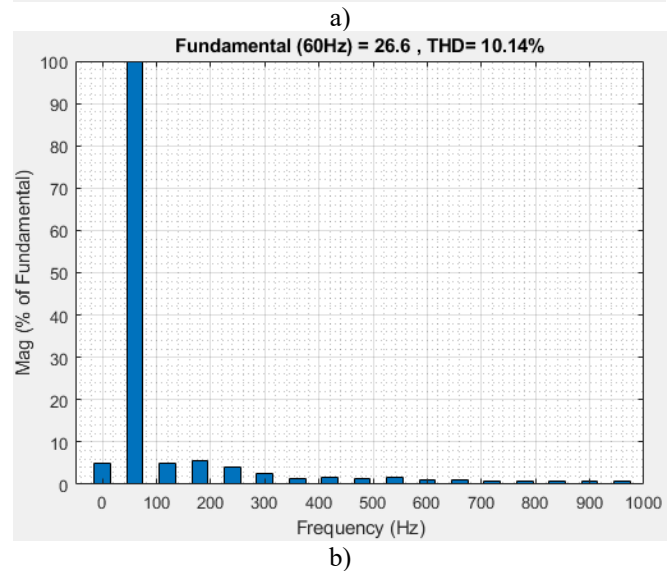
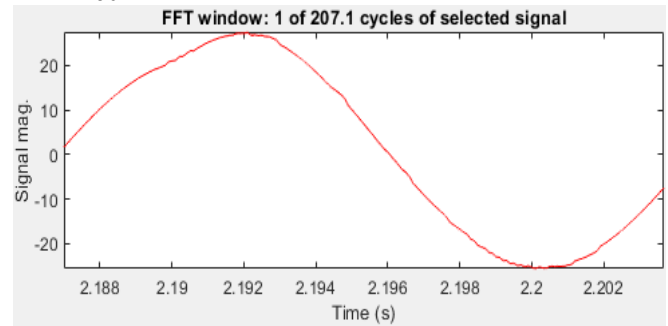
En la figura 17 se muestra el acercamiento al par y flujo controlados con la red propuesta, el rizado de par tiene aproximadamente 4.17 Nm de pico a pico y el de flujo 230  $\mu$ Wb con una referencia de 20 Nm, (a) par, (b) flujo del estator.



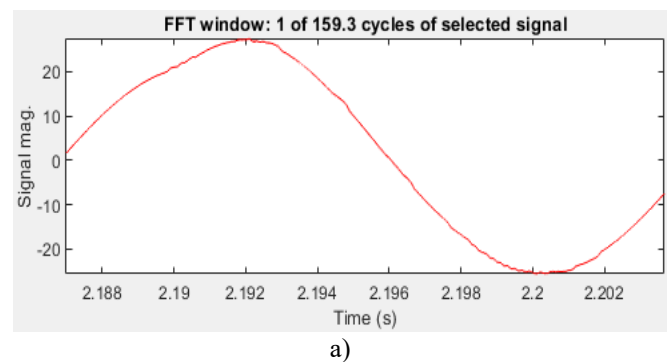
**Figura 17.** Acercamiento a la respuesta del sistema propuesto en estado estable, con un par de referencia de 20 Nm, (a) par, (b) flujo del estator.

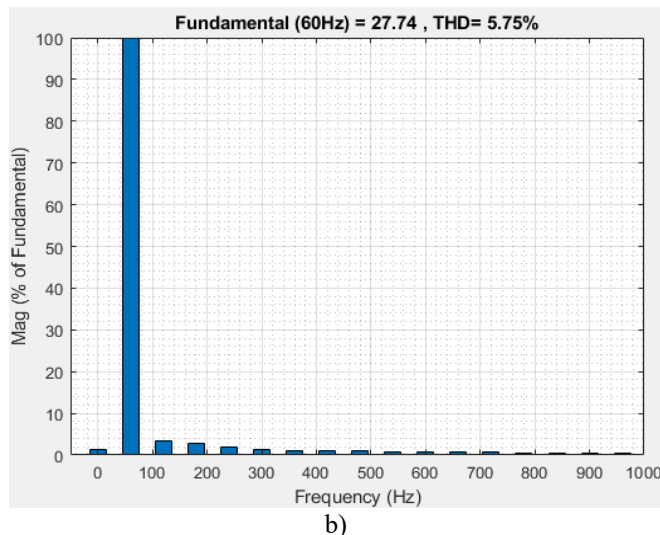
Otra comparativa entre ambos sistemas se realiza utilizando la Distorsión Armónica Total (Total Harmonic Distortion, THD) de la corriente, para efectos prácticos solo se realiza la medición en la corriente de una sola fase de ambos sistemas.

Las figuras 18 y 19 muestran el análisis de THD del DTC y el sistema propuesto respectivamente, aplicado a un ciclo de la señal a 60 Hz.



**Figura 18.** Análisis de armónicos del DTC a 60Hz, THD= 10.26%, (a) forma de onda, (b) espectro de frecuencia.





**Figura 19.** Análisis de armónicos del sistema propuesto a 60Hz, THD = 5.75%, (a) forma de onda, (b) espectro de frecuencia.

Los resultados de la simulación se resumen en la tabla II, **Tabla II.** Comparación del DCT con el sistema propuesto

Parámetro	DTC	Sistema propuesto	Mejora (%)
Rizo de par pico a pico (Nm)	6	4.17	30.5
Rizo de flujo pico a pico ( $\mu Wb$ )	400	230	42.5
Frecuencia de conmutación (kHz)	10	10	0
Tiempo máximo de estabilización (s)	0.25	0.02	92
THD (%)	10.26	5.75	43.95

## IX. CONCLUSIONES

En este artículo se ha analizado el funcionamiento del DTC implementado con SVM aplicado a motores PMSM, así como su optimización mediante la incorporación de redes neuronales artificiales. La propuesta presentada integra el control de par y flujo sin necesidad de estimar la posición eléctrica, ya que esta acción es realizada por la propia red, además de realizar la transformación al sistema de coordenadas estacionario  $\alpha\beta$ . Esto permite que el modulador SVM calcule los vectores que determinan los estados de conmutación adecuados para el inversor trifásico de 2 niveles, lo cual reduce la cantidad de bloques utilizados en el sistema.

La arquitectura propuesta combina ANN con modulación SVM para optimizar el control del sistema, demostrando en simulaciones preliminares un buen comportamiento dinámico, con reducción de rizado en par y flujo, superando al control convencional.

Si bien los resultados son prometedores, aún se requiere un análisis más exhaustivo en más escenarios con carga variable y transitorios bruscos para validar su desempeño. A futuro, se

planea evaluar la robustez del control frente a diversas perturbaciones, para validar su viabilidad ante aplicaciones de electromovilidad.

Los trabajos actuales delegan a las redes neuronales tareas específicas y sencillas, utilizando arquitecturas simples. Como línea futura, se propone el desarrollo de redes más robustas que asuman mayor parte de las funciones dentro del DTC, con el fin de mejorar la adaptación del control a condiciones variables y reducir aún más el rizado. No obstante, estas redes requieren ser entrenadas con mayor cantidad y diversidad de datos, lo que implica mayor complejidad en su arquitectura y mayores exigencias computacionales. Aunque supone retos técnicos adicionales, integrar este tipo de redes representa una oportunidad hacia el desarrollo de sistemas de control más adaptativos en entornos de electromovilidad.

## REFERENCIAS

- [1] Y. Vijaya Sambhavi y V. Ramachandran, "A technical review of modern traction inverter systems used in electric vehicle application", *Energy Rep.*, vol. 10, pp. 3882–3907, Nov. de 2023.
- [2] A. Kavasseri Venkitaraman y V. S. R. Kosuru, "Trends and challenges in electric vehicle motor drivelines - A review", *IJECE*, vol. 14, no. 4, pp. 485–495, Apr. 2023.
- [3] S. Thangavel, D. Mohanraj, T. Girijaprasanna, S. Raju, C. Dhanamjayulu y S. M. Muyeen, "A comprehensive review on electric vehicle: Battery management system, charging station, traction motors", *IEEE Access*, vol. 11, pp. 20994–21019, 2023.
- [4] Z. Wang, T. W. Ching, S. Huang, H. Wang y T. Xu, "Challenges faced by electric vehicle motors and their solutions", *IEEE Access*, vol. 9, pp. 5228–5249, 2021.
- [5] P. Bhatt, H. Mehar y M. Sahajwani, "Electrical motors for electric vehicle – A comparative study", *SSRN-ELSEVEIR*, 2019.
- [6] S. R. Jape y A. Thosar, "Comparison of electric motors for electric vehicle application", *IJRET*, vol. 6, pp. 12–17, 2017.
- [7] A. M. Lulhe y T. N. Date, "A technology review paper for drives used in electrical vehicle (EV) & hybrid electrical vehicles (HEV)", *2015 International Conference on Control, Instrumentation, Communication and Computational Technologies (ICCICCT)*, Kumaracoil, India, pp. 632–636, 2015.
- [8] S. Rind, Y. Ren y L. Jiang, "Traction motors and speed estimation techniques for sensorless control of electric vehicles: A review", *2014 49th International Universities Power Engineering Conference (UPEC)*, Cluj-Napoca, Romania, 2014, pp. 1–6.
- [9] S. J. Rind, Y. Ren, Y. Hu, J. Wang y L. Jiang, "Configurations and control of traction motors for electric vehicles: A review", *Chinese Journal of Electrical Engineering*, vol. 3, no. 3, pp. 1–17, December 2017.
- [10] A. Poorfakhraei, M. Narimani y A. Emadi, "A review of modulation and control techniques for multilevel inverters in traction applications", *IEEE Access*, vol. 9, pp. 24187–24204, 2021.
- [11] M. L. De Klerk y A. K. Saha, "A comprehensive review of advanced traction motor control techniques suitable for electric vehicle applications", *IEEE Access*, vol. 9, pp. 125080–125108, 2021.



- [12] N. El Ouanjli et al., "Modern improvement techniques of direct torque control for induction motor drives - A review", *Protection and Control of Modern Power Systems*, vol. 4, no. 2, pp. 1-12, April 2019.
- [13] Shen Zhang, "Artificial Intelligence in Electric Machine Drives: Advances and Trends". *TechRxiv*, October 2021.
- [14] R. Boumaraf, T. Benchouia, H. Mesloub, A. Golea, y N. Golea, "Comparative study of ANN DTC and conventional DTC controlled PMSM motor", *Mathematics and Computers in Simulation*, 2019.
- [15] K. Kakouche, A. Oubelaid, S. Mezani, D. Rekioua y T. Rekioua, "Different control techniques of permanent magnet synchronous motor with fuzzy logic for electric vehicles: Analysis, modelling, and comparison", *Energies*, vol. 16, no. 7, p. 3116, 2023.
- [16] G. Banda y S. G. Kolli, "Comparison of ANN- and GA-based DTC eCAR", *Journal of Power Electronics*, vol. 21, no. 6, pp. 1333-1342, 2021.
- [17] T. Rekioua y D. Rekioua, "Direct torque control strategy of permanent magnet synchronous machines", *2003 IEEE Bologna Power Tech Conference Proceedings*, Bologna, Italy, pp. 6 pp. Vol.2, 2003.
- [18] F. Niu, B. Wang, A. S. Babel, K. Li y E. G. Strangas, "Comparative evaluation of direct torque control strategies for permanent magnet synchronous machines", *IEEE Transactions on Power Electronics*, vol. 31, no. 2, pp. 1408-1424, Feb. 2016.
- [19] Y. Xu, Q. Li, L. Zhang y Q. Ma, "Development of permanent magnet synchronous motor for electric vehicle", *2009 International Conference on Sustainable Power Generation and Supply*, Nanjing, China, 2009, pp. 1-5
- [20] S. V. Jadhav, J. Kirankumar y B. N. Chaudhari, "ANN based intelligent control of induction motor drive with space vector modulated DTC", *2012 IEEE International Conference on Power Electronics, Drives and Energy Systems (PEDES)*, Bengaluru, India, pp. 1-6, 2012.
- [21] M. L. Zegai, M. Bendjebbar, K. Belhadri, M. L. Doumbia, B. Hamane y P. M. Koumba, "Direct torque control of induction motor based on artificial neural networks speed control using MRAS and neural PID controller", 2015.
- [22] P. Vas, *Sensorless Vector and Direct Torque Control*. Oxford: Oxford Univ. Press, 1998, pp. 497-505.
- [23] G. Agrawal, H. Mohan y M. Pathak, "Improved speed sensorless control of induction motor drive using artificial neural network", *2022 2nd International Conference on Power Electronics & IoT Applications in Renewable Energy and its Control (PARC)*, Mathura, India, pp. 1-6, 2022.



**CHRISTIAN PÉREZ-MARTÍNEZ** recibió la licenciatura en ingeniería electrónica por el Instituto Tecnológico de Apizaco, Apizaco, Tlaxcala México, con especialidad en Control y automatización en la industria 4.0, en 2024. Actualmente cursa la maestría en ingeniería mecatrónica en el mismo instituto.

Sus intereses de investigación incluyen el control de máquina, internet de las cosas, inteligencia artificial, robótica y electrónica de potencia.



**RAFAEL ORDDOÑEZ-FORES** obtuvo su licenciatura en Ingeniería Industrial en Electrónica en el Instituto Tecnológico de Puebla, Puebla, Pue., en 1995. Maestría en Ciencias en Ingeniería Electrónica en el Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET), Cuernavaca, Mor., en 1998. Doctorado en Ingeniería Eléctrica en la Universidad París 11, Escuela Superior de Electricidad (SUPELEC), Orsay, Francia, en 2007. Actualmente es profesor de la División de Estudios de Posgrado e Investigación del TecNM / IT Apizaco. Sus áreas de investigación incluyen el control y la automatización de sistemas, la electrónica de potencia, la calidad de la energía eléctrica, las energías renovables y el calentamiento por inducción magnética.



**JOSÉ FEDERICO CASCO-VÁSQUEZ** obtuvo su licenciatura en Física en la Benemérita Universidad Autónoma de Puebla (BUAP), Puebla, Pue. Maestría en Ciencias en el instituto nacional de astrofísica, óptica y electrónica (INAOE), Tonantzintla, Pue. Doctorado en Ciencias en la BUAP

Sus principales áreas de investigación incluyen el procesamiento óptico y digital de información, recuperación de fase para reconstrucción 3D, sistemas óptico-digitales, tratamiento digital de imágenes médicas, holografía digital, levitadores magnéticos y sistemas de control en tratamiento de datos.



**ROBERTO MORALES-CAPORAL**, obtuvo la licenciatura en Ingeniería Electromecánica por el Tecnológico Nacional de México, Campus Apizaco (TecNM-ITA), Apizaco, México, en 1999; el grado de Maestro en Ciencias en Ingeniería Eléctrica por la Sección de Estudios de Posgrado e Investigación de la Escuela Superior de Ingeniería Mecánica y Eléctrica (ESIME-Z) del Instituto Politécnico Nacional (IPN), Ciudad de México, México, en 2001; y el grado de Doctor en Ingeniería Eléctrica por la Universidad de Siegen, Siegen, Alemania, en 2007.

De 2001 a 2003, fue docente en la Unidad Profesional Interdisciplinaria en Ingeniería y Tecnologías Avanzadas (UPIITA), IPN. Desde 2008, es Profesor-Investigador Titular de tiempo completo en la División de Estudios de Posgrado e Investigación en el TecNM-ITA. Sus líneas de investigación incluyen sistemas de control en tiempo discreto, control predictivo de convertidores de potencia, control predictivo de variadores de frecuencia para motores de ca, diseño de hardware e Internet de las Cosas. El Prof. Morales-Caporal es miembro del Sistema Nacional de Investigadores Nivel 2 (SNII-2) de la Secretaría de Ciencia, Humanidades, Tecnología e Innovación (SECIHTI) de México.

Fecha de recepción: 07 de junio 2025, fecha de publicación en línea: octubre de 2025.

# Desarrollo del Hardware de un Inversor Monofásico Puente Completo Basado en MOSFETs para Aplicaciones Fotovoltaicas

Roy Maza-González<sup>1</sup>, Roberto Morales-Caporal<sup>1</sup>, Juan Carlos Hernández-Coyoth<sup>1</sup>,  
Rafael Ordoñez-Flores<sup>1</sup> y Brayan Daniel Vázquez-Gasca<sup>1</sup>

<sup>1</sup> Tecnológico Nacional de México – Instituto Tecnológico de Apizaco. San Andrés Ahuashuatepec, Municipio de Tzompantepec, Tlaxcala, C.P. 90491, México.

Autor de correspondencia: Roy Maza-González (correo electrónico: m18371295@apizaco.tecnm.mx).

---

**Abstract-** This paper shows the design and development of a single-phase full H-bridge voltage inverter. The main goal of the development is to obtain a component necessary for the control and use of the energy generated from a photovoltaic array. The developed inverter is made up of power MOSFETs, enabling it to operate at higher switching frequencies than an IGBT inverter. International and Mexican electronic design standards were considered during its design. Furthermore, the design considers the technical hardware specifications for a control strategy based on sine wave PWM modulation. Selection criteria for all the components used in the design are explained including the gate drive design requirements. An electronic design software was used during PCB design to create the schematic diagram and circuit board routing. Finally, the assembled hardware prototype and some experimental test results are shown.

**Keywords:** Full-H bridge, hardware design, MOSFET, photovoltaic array, power inverter, renewable energies.

---

## I. INTRODUCCIÓN

En años recientes se ha estudiado mucho el impacto al ambiente que genera la obtención de energía a partir de combustibles fósiles, estas están causando problemas ambientales perjudiciales como el calentamiento global y el cambio climático. Esto sumado al incremento en la demanda de energía en todo el mundo provocado por la sobrepoblación y el crecimiento económico conllevan a un impacto alarmante en el medio ambiente. De acuerdo con P. Moriarty y D. Honnery [1] para el año 2050 la demanda mundial de energía se proyecta que será de alrededor de 1000 EJ ( $\text{EJ} = 10^{18} \text{ J}$ ) o más si el crecimiento económico continua el curso de las recientes décadas.

Si bien muchas soluciones han sido propuestas para estas dos problemáticas, la tendencia hoy en día está dirigida a las fuentes de energía renovables (RES por sus siglas en inglés) con el objetivo de sustituir las fuentes de energía convencionales. Particularmente la energía solar fotovoltaica ha mostrado una tendencia creciente debido a que su tecnología ha sido muy investigada y mejorada por investigadores para incrementar la eficiencia de conversión de energía en los sistemas fotovoltaicos [2].

Debido al incremento de las RES y la transición de la industria hacia las fuentes de energía no convencionales como la solar, eólica y otras, gran parte de la investigación en el campo de la electrónica se ha enfocado en la mejora de los convertidores electrónicos de potencia [2]. Estos dispositivos permiten la regulación y conversión de energía para que pueda ser utilizada en equipos y aparatos que funcionan con CA, además el inversor de voltaje es requerido para que la energía generada por fuentes renovables pueda ser inyectada a la red eléctrica. El inversor de voltaje asegura un alto desempeño y puede incrementar la fiabilidad del sistema eléctrico dependiendo de su estrategia de control [3].

En el caso de los sistemas fotovoltaicos se emplean los convertidores CD-CA o inversores. La función de un inversor es cambiar un voltaje de entrada de CD a un voltaje simétrico de salida de CA de magnitud y frecuencias bien definidas [4]. Esto acompañado de un buen control de transformación y la electrónica necesaria para llevar esta energía al nivel de la energía de red presentan una gran oportunidad de aprovechamiento y desarrollo de los sistemas fotovoltaicos.

En este caso, se ha optado por desarrollar un inversor constituido de transistores de efecto de campo semiconductores de óxido metálico (MOSFETs). Un MOSFET de potencia es un dispositivo semiconductor controlado por voltaje y sólo requiere una pequeña corriente de entrada, su funcionamiento es básicamente el de un switch. La velocidad de conmutación es muy alta del orden de los nanosegundos [4]. Es esencial para quien diseña un circuito electrónico basado en MOSFETs, conocer qué tipo de dispositivo es el más apropiado para su diseño [5]. Hoy en día existe tecnología avanzada en este tipo de dispositivos como son los dispositivos SiC y GaN, cuyo rendimiento es muy superior al de los MOSFETs. Parámetros como el consumo y la disipación de potencia, así como las pérdidas por conmutación deben ser tomados en cuenta durante el diseño para garantizar el óptimo funcionamiento del circuito.

Dentro de los aspectos a considerar durante el diseño del inversor es la activación de los MOSFETs ya que estos tienen parámetros de voltaje específicos para ser activados. Para esto se han desarrollado los gate drivers o controladores de compuerta. Un gate driver (conocido comúnmente como driver) es un circuito diseñado para control y activación de switches de potencia (IGBTs o MOSFETs).

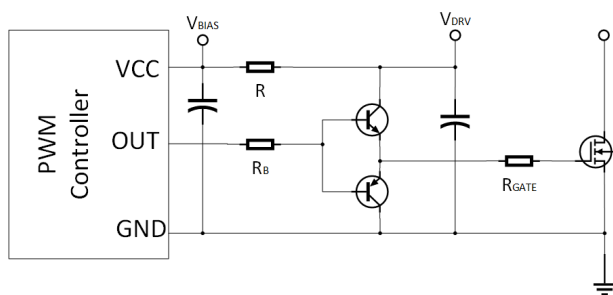


Figura 1. Ejemplo de un circuito gate drive.

La señal de entrada en un circuito de control de compuerta típicamente toma la forma una serie de pulsos de nivel lógico de 3.3 o 5 V (generada usualmente por un microcontrolador, FPGA, comparadores, etc.). El gate drive por lo tanto tiene las tareas de incrementar el voltaje al nivel de compuerta suficiente en el MOSFET y proporcionar capacidad suficiente de drenar o suministrar corriente [6]. Hoy en día los gate drivers pueden encontrarse como circuitos integrados que hacen más reducido el circuito y reducen costos.

Haciendo una revisión del estado de la técnica se encontró que en [8], se explicó el diseño de un inversor de medio puente H de 1.5 kW a 127 V, se desarrolló como celda de potencia para ensamblar inversores de forma modular. Se presentan tanto las consideraciones de selección de componentes como las consideraciones de diseño de PCB (tarjeta de circuito impreso). El diseño fue desarrollado bajo las normativas IPC de diseño electrónico con la finalidad de que cumpliera estándares industriales internacionales.

En [9] se detalla el desarrollo de un inversor de 1kW a 220 V, a una frecuencia de 50 Hz. Se desarrolló con materiales y componentes estandarizados locales. En este proyecto convierten 12 V<sub>DC</sub> de una batería utilizando circuitos integrados y semiconductores a una frecuencia de 50 Hz, a 220 V a través del embobinado de un transformador. Se desarrolló con el objetivo de tener una fuente de alimentación alternativa con la misma potencia del suministro público a un precio asequible.

Otro trabajo similar e interesante lo reportan en [10], donde se detalla la metodología utilizada para suprimir los picos de voltaje en un circuito inversor de puente H completo constituido de MOSFETs. El autor logra esto optimizando el diseño del gate driver del inversor agregando un capacitor que atenúe el efecto parásito de los componentes del inversor, así como la corriente de recirculación para evitar los picos negativos de voltaje.

En [11] se presenta un inversor de medio puente para cuyo control se evita el uso de microcontroladores, en su lugar se utiliza un circuito integrado IC555 como generador de pulsos para el control del gate driver. Este inversor cuenta con protección contra sobre corriente además de que filtra la señal de salida a partir de un filtro pasa bajas y una configuración de transformador.

Para entender la versatilidad de esta tecnología, en [12] se hace una comparativa tanto de topologías como de técnicas de modulación utilizadas en áreas de estudio como baterías de autos eléctricos, motores eléctricos, etc. Mostrando un panorama más amplio de las aplicaciones que pueden tener los inversores de voltaje.

En este artículo se presenta el diseño de un inversor monofásico puente completo basado en MOSFETs y los criterios que se siguieron para el diseño electrónico. En la sección I se presenta la introducción y marco teórico del proyecto. En la sección II se muestra el desarrollo del inversor, los criterios y cálculos utilizados para diseñar el componente. En la sección III se muestra el principio de operación del SPWM implementado. En la sección IV se presentan las conclusiones del proyecto.

## II. DESAROLLO

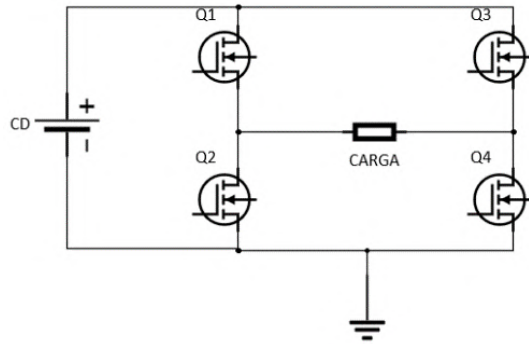
La metodología seguida para desarrollar este proyecto corresponde al *Diseño por confiabilidad* [7], la cual consta de 7 puntos específicos en los que el diseño se divide por subsistemas de los cuales a cada uno se le evalúa y valida individualmente antes de integrarlo al diseño completo.

### A. Diseño del Inversor.

Existen diversas topologías a tomar en cuenta para diseñar inversores sin embargo tras hacer una revisión en el estado del arte se optó por la topología de puente H completo, la cual se muestra en la Figura 2.

Esta topología presenta considerables ventajas en comparación con las demás existentes entre las que destacan el

menor requerimiento de componentes, el control más ligero que requiere y menor cantidad de pérdidas [5].



**Figura 2.** Esquema de un inversor monofásico puente H completo.

Este inversor estará diseñado para el aprovechamiento de la energía proporcionada por los paneles solares instalados en el Instituto Tecnológico de Apizaco. Estos paneles proporcionan un voltaje de 34 V<sub>DC</sub> aproximadamente con una corriente de 8 A. Se prevé elevar este voltaje a 180 V<sub>DC</sub> para poder alimentar el inversor y de modo la señal a la salida del inversor tenga el valor RMS que tiene una red eléctrica doméstica.

### B. Selección de Componentes

Para seleccionar los componentes a utilizar en este inversor se siguieron criterios específicos de diseño encontrados en [12]. Los principales componentes del inversor son los dispositivos de conmutación y los circuitos integrados que controlaran a los dispositivos de conmutación.

Para convertidores de potencia los dispositivos de conmutación más utilizados son los MOSFETs y los IGBTs (insulated gate bipolar transistor). Ambos tienen excelentes características de rendimiento, sin embargo, la tecnología MOSFET destaca por alcanzar más altas frecuencias de trabajo con menores pérdidas por conmutación, mientras que los IGBT pueden soportar valores de voltaje relativamente más altos [13]. Al ser este un inversor de potencia media se ha optado por utilizar MOSFET tomando en cuenta que el voltaje de operación será el voltaje de red, así como la frecuencia de conmutación será un poco más alta de los valores promedio considerados para los IGBT.

Tras hacer un análisis de la literatura se eligió utilizar MOSFETs tomando en cuenta que soportan mayor frecuencia que un IGBT y el voltaje que pueden manejar es aceptable para los parámetros requeridos en este inversor. La aplicación para la que se desarrolla el inversor no requiere características muy específicas ni condiciones de operación extrema, por lo tanto, se usarán MOSFET de alta capacidad de conmutación de construcción convencional.

Para seleccionar el transistor a utilizar además de las capacidades de corriente y voltaje que debe cumplir el dispositivo, se debe tomar en cuenta la máxima frecuencia de conmutación que este puede soportar sin dañarse para lo cual se usa la siguiente fórmula encontrada en [12].

$$f_{max} = \frac{\left(\frac{T_J - T_C}{R_{\theta JC}} - P_{cond}\right)}{E_{on2} + E_{off}} \quad (1)$$

Los parámetros requeridos en esta fórmula se encuentran en las hojas de datos de los componentes.

Haciendo una búsqueda en los catálogos de fabricantes se encontró el dispositivo IRFB4332 [15], MOSFET de alta conmutación que soporta hasta 300V y 50 A a una máxima frecuencia de conmutación estimada de 100 kHz.

Otro componente importante es el drive. Por su construcción, los transistores de potencia no se pueden activar con voltajes de niveles lógicos de 3.3 V y 5 V, requieren voltajes más elevados para lo cual se emplean circuitos de activación de compuerta que permiten la conmutación de los dispositivos de potencia [7]. Para la selección de estos drivers se toman en cuenta los valores de operación de voltaje y corriente, así como la velocidad a la que pueden trabajar y conmutar.

Estos parámetros se encuentran por lo general en las hojas de datos de los fabricantes. En la literatura se ha sugerido múltiples veces el drive IR21010SPBF [16].

Este dispositivo es un drive de medio puente con control independiente para switch de lado alto y de lado bajo, además cuenta con la conexión interna necesaria para elevar el voltaje al nivel requerido de activación de los drives. Este driver puede manejar puentes alimentados hasta 500 V<sub>DC</sub> y soporta hasta 2 A a la entrada. La hoja de datos indica los siguientes tiempos que puede manejar:

- Tiempo de encendido  $t_{on} = 120$  ns
- Tiempo de apagado  $t_{off} = 90$  ns
- Tiempo de retardo de hasta 10 ns

Utilizando la fórmula (2) encontrada en [17] para calcular la máxima frecuencia de conmutación se encuentra que la frecuencia de conmutación máxima a la que puede operar es de 2 MHz, lo cual es suficiente para la implementación en este inversor.

$$f_{max} = \frac{1}{2(t_r + t_f + t_{delay})} \quad (2)$$

Donde:

- $f_{max}$  = Frecuencia máxima de conmutación de switch
- $t_r$  = tiempo de subida del switch
- $t_f$  = tiempo de caída del switch
- $t_{delay}$  = tiempo de retardo utilizado.

Los parámetros requeridos en esta fórmula se encuentran en las hojas de datos de los componentes.

Parte importante del diseño es el desarrollo de la llamada fuente de bootstrap [8] esta se encarga de elevar el voltaje lógico de las señales de activación enviadas al drive para obtener el voltaje necesario para la activación del MOSFET. Esta se compone de un diodo, un capacitor y una resistencia (esta última es opcional). Debido a la velocidad a la que se envían las señales es necesario utilizar un diodo de recuperación rápida que además soporte los niveles de voltaje



que se manejaran. Tomando todo esto en cuenta se utiliza el diodo UF4007 [18] que es un diodo de recuperación ultra rápida capaz de soportar hasta 1000 V con un tiempo de recuperación en inversa de 75 ns.

El otro componente de la fuente de bootstrap es el capacitor, el valor de este capacitor se calcula a partir de la fórmula:

$$C_{boot} \geq \frac{Q_{total}}{\Delta V_{boot}} \quad (3)$$

Donde:

- $C_{boot}$  = Valor del capacitor bootstrap (faradios)
- $Q_{total}$  = carga total en el drive de compuerta
- $\Delta V_{boot}$  = caída de voltaje permisible en el capacitor

El drive seleccionado cuenta con un PIN cuya alimentación define el valor lógico al cual estará operando en la entrada sea de 3.3 V o lógica de 5.0 V. Para hacer esta alimentación se seleccionó un dispositivo AMS1117-5.0 [19] que es un regulador cuya configuración correcta provee un voltaje constante de 5 V<sub>DC</sub> con la cual se establece una lógica de operación a la entrada del drive TTL 5.0 V.

El circuito regulador se muestra en la Figura 3, este es proporcionado por el fabricante para configurarlo como fuente constante. Como se observa en la configuración requiere únicamente de capacitores a la entrada y salida del integrado, sin embargo, es importante mencionar que en la misma hoja de datos del fabricante recomienda utilizar capacitores de tantalio, así como los valores específicos de dichos capacitores que en este caso son de 22µF y 10 µF.

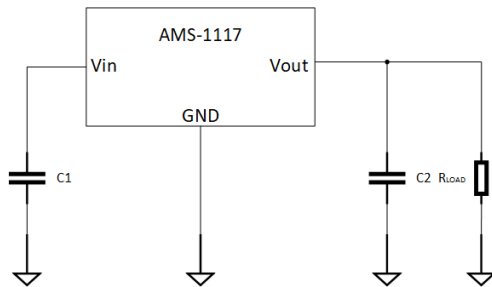


Figura 3. Configuración del regulador AMS1117-5.0.

El resto de componentes como resistencias y conectores se eligieron de acuerdo a las necesidades del inversor y las regulaciones necesarias de corriente. En la Tabla 1 se presenta la lista de componentes utilizados para montar el inversor.

Tabla 1. Lista de componentes.

Cantidad	Componente	Referencia
2	IR2110SPBF	[16]
4	IRFB4332	[15]
1	AMS1117-5.0	[19]

6	UF4007	[18]
2	Capacitor electrolítico 22 µF	[21]
2	Capacitor cerámico 100 nF	[22]
1	Capacitor de tantalio 22 µF	[23]
1	Capacitor de tantalio 10 µF	[23]
4	Resistencia 1 kΩ	[24]
4	Resistencia 100 Ω	[25]
3	Bornera de 2 vías	[26]
1	Conector header de 3 pines	[27]
2	Socket DIP14	[28]

### C. Diseño electrónico.

El diseño del inversor está basado en el esquema sugerido por el fabricante del drive, este se presenta en [16] para medio puente. Al ser un drive de medio puente es necesario conectar dos circuitos para formar el puente completo, ambos se dimensionan de la misma manera y comparten la alimentación del bus de CD. En la Figura 4 se muestra el diseño sugerido por el fabricante obtenido de la hoja de datos.

Typical Connection

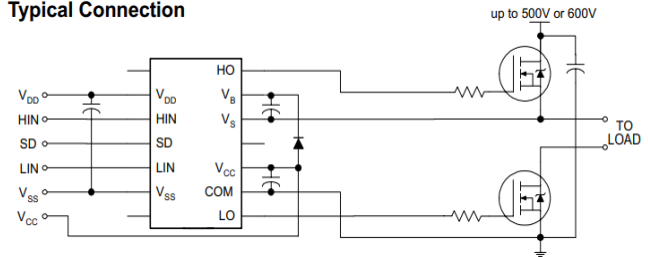


Figura 4. Circuito recomendado por el fabricante del driver.

El diseño esquemático se realizó en KiCAD [20] que es un software de diseño electrónico de código abierto, este nos permite desarrollar el diagrama esquemático del circuito y a partir de este diseñar la PCB para poder mandar a fabricación.

Siguiendo las recomendaciones técnicas presentadas en [13] así como los parámetros de la normativa IPC-2221, se realizó el enrutado de los componentes para el diseño de la PCB (ver Figura 5) Al ser un diseño prototipo se desarrolló una tarjeta simple cumpliendo con las normativas generales de diseño electrónico. La tarjeta es una PCB electrónica diseñada para dispositivos de agujero pasante. Las dimensiones de la tarjeta son de 80 mm × 100 mm. Dicha tarjeta tiene solo dos capas de pistas de conexión tomando en cuenta la capa de cobre para tierra.

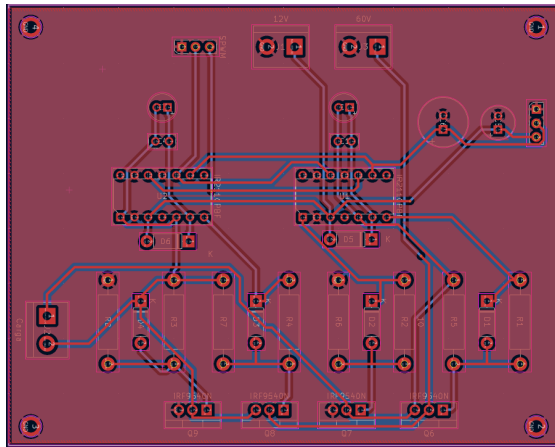


Figura 5. Enrutamiento de la PCB.

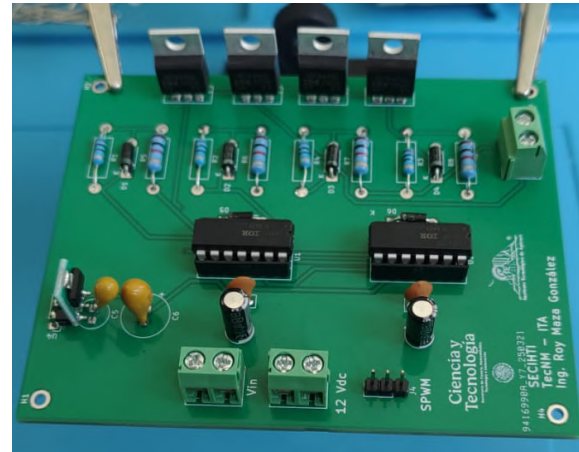


Figura 7. Tarjeta armada.

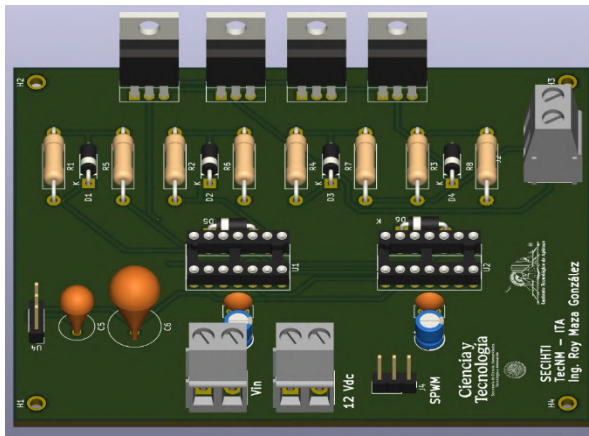


Figura 6. Modelo 3D del inversor puente H desarrollado.

Con la ayuda de la herramienta KiCAD, los diagramas de circuitos se pueden convertir en una imagen tridimensional (3D) de la PCB, para tener el diseño conceptual, funcionalidad y facilidad de construcción, la cual se muestra en la Figura 6.

### III. RESULTADOS

Terminado el diseño de la PCB se fabricó sin componentes (sin los componentes). Tras adquirir los componentes necesarios para su fabricación se armó la tarjeta (se soldaron los componentes) para realizar pruebas de laboratorio necesarias. En la Figura 7 se presenta la foto de una celda de potencia armada.

Para realizar las pruebas se implementó un código S-PWM en un FPGA. El lenguaje de programación es VHDL y se utilizó el programa QUARTUS II, la FPGA utilizado es un CYCLONE II EP2C5T144C8N de la familia de ALTERA, las salidas totales son 4, para conmutar Q1, Q2, Q3, Q4 de la Figura 2.

Para generar la señal sinusoidal, se emplearon dos señales de entrada (*clk* y *rst*) y dos de salida (*sine* y *sine\_1*), como se muestra en la figura 5. Esto es necesario ya que, como se mencionó anteriormente, se deben crear dos señales

sinusoidales, una de las cuales está desplazada medio período respecto a la otra, donde:

- *clk*: Señal de reloj que sincroniza la operación.
- *rst*: Señal de reinicio que restablece el sistema.
- *sine* y *sine\_1*: Señales de salida en formato *std\_logic\_vector* de 16 bits, que representan las dos señales sinusoidales unipolares.

Se generó una *LUT table* para guardar valores que representan la señal seno. La constante LUT es un arreglo que almacena 1000 valores de una señal sinusoidal. Cada valor representa un punto de la señal sinusoidal en formato entero. La amplitud de la señal en la LUT es 4500, con valores que oscilan entre 0 y 4500, centrados alrededor de 2250. Se crearon contadores en el cual dependiendo del valor en el que se encuentre busca un dato de la LUT table y se lo asigna a la salida *sine*. De la misma manera el *contador\_2* realiza el mismo proceso pero este le asigna el valor a *sine\_1*.

Para la alimentación del bus de CD del puente se utilizó un panel solar y a la salida de este se colocó un capacitor de potencia como filtro de voltaje, dando a la salida un voltaje de 32 V<sub>CD</sub>. La alimentación de la etapa de control del circuito se hizo con una fuente conmutada de 12 V<sub>CD</sub>.

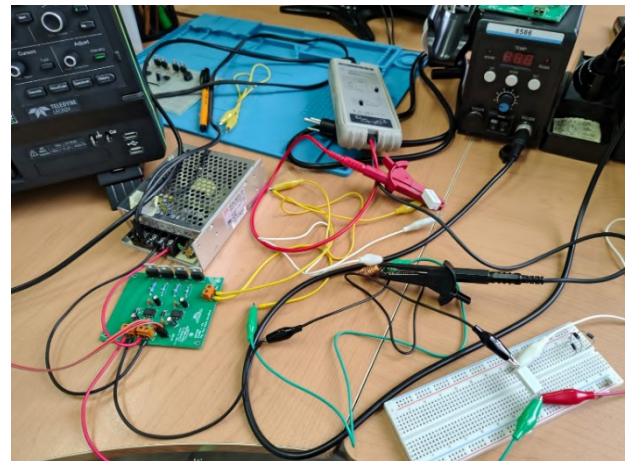


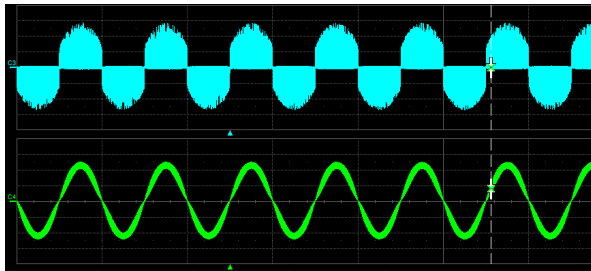
Figura 8. Inversor conectado para pruebas.

Durante las pruebas de laboratorio se utilizó un osciloscopio leeroy de 100 MHz con punta de prueba diferencial a fin de evitar daño en el equipo de medición. El montaje experimental se muestra en la foto de la Figura 8.

La carga conectada al inversor fue de tipo resistiva-inductiva (RL). La primera prueba fue la verificación de la conmutación de los MOSFETs, para esto la punta negativa del probador diferencial se conectó al pin *Source* del dispositivo y la punta positiva al *Gate*, de este modo se observaron las señales de conmutación de los cuatro dispositivos de potencia del inversor. En la Figura 9 se muestra la señal de conmutación para un solo MOSFET.



**Figura 9.** Señales de conmutación de un MOSFET.



**Figura 9.** Señales de voltaje (azul) y corriente (verde).

Por último, en la Figura 10 se muestran las señales de corriente y voltaje obtenidas en el osciloscopio a la salida del inversor monofásico puente H desarrollado.

Es importante mencionar que para estas pruebas se han colocado filtros a la salida que decodifican y limpian las señales.

#### IV. CONCLUSIONES

El inversor demostró funcionar apropiadamente de acuerdo con las pruebas elementales de funcionamiento. La parte fundamental de este trabajo fue lograr la correcta conmutación de los dispositivos de potencia de modo que soportaran la demanda de corriente a la salida del inversor sin embargo aún es posible mejorar la calidad de las señales tanto de conmutación como de salida mediante la implementación de filtros y redes snubber. Además, en [20] se explica que a pesar de que el tiempo muerto en la modulación es necesario para evitar daño irreversible en los transistores de potencia, este también genera cierto grado de distorsión armónica que si bien

no causa un daño repentino provoca desgaste paulatino que terminará acortando la vida útil del inversor y reduciendo su rendimiento. Es por esto que también se plantea analizar un método de compensación del tiempo muerto para lo cual podría recurrirse a cálculo de ángulos de conmutación por inteligencia artificial.

#### REFERENCIAS

- [1] P. Moriarty and D. Honnery, "What is the global potential for renewable energy?," *Renewable and Sustainable Energy Reviews*, vol. 16, no. 1, pp. 244–252, Jan. 2012, doi: <https://doi.org/10.1016/j.rser.2011.07.151Efwf>
- [2] T.-Z. Ang, M. Salem, M. Kamarol, H. S. Das, M. A. Nazari, and N. Prabakaran, "A Comprehensive Study of Renewable Energy sources: Classifications, Challenges and Suggestions," *Energy Strategy Reviews*, vol. 43, no. 100939, p. 100939, Sep. 2022, doi: <https://doi.org/10.1016/j.esr.2022.100939>.
- [3] S. Padmanaban, C. Dhanamjayulu, and B. Khan, "Artificial Neural Network and Newton Raphson (ANN-NR) Algorithm Based Selective Harmonic Elimination in Cascaded Multilevel Inverter for PV Applications," *IEEE Access*, vol. 9, pp. 75058–75070, 2021, doi: <https://doi.org/10.1109/access.2021.3081460>.
- [4] J. Pacher, J. Rodas, A. Renault, M. Ayala, L. Comparatore, and R. Gregor, "Design and validation of a multilevel voltage source inverter based on modular H-bridge cells," *HardwareX*, vol. 15, pp. e00452–e00452, Sep. 2023, doi: <https://doi.org/10.1016/j.ohx.2023.e00452>.
- [5] Rashid, M. H. (2015). *Electrónica de Potencia* (4ª ed.). Pearson Educación. (Obra original publicada en 1988).
- [6] P. B. Green, L. Zheng, "Gate Driver for Power MOSFET in Switching Applications". Infineon Technologies. 2022. Munich, Germany.
- [7] J. Wang, "Cálculo del consumo de energía y la disipación de energía de los MOSFET", *Journal of Physics: Conference Series*, vol. 1754, n.º 1, p. 012132, febrero de 2021, doi: <https://doi.org/10.1088/1742-6596/1754/1/012132>.
- [8] R. Morales-Caporal, J. F. Pérez-Cuapio, H. P. Martínez-Hernández, and Raúl Cortés-Maldonado, "Design and Hardware Implementation of an IGBT-Based Half-Bridge Cell for Modular Voltage Source Inverters," *Electronics*, vol. 10, no. 20, pp. 2549–2549, Oct. 2021, doi: <https://doi.org/10.3390/electronics10202549>.
- [9] O. O. Omitola, "Design and Construction of 1KW (1000VA) Power Inverter," *Bapalola University Repository*, vol. 5, no. 2, p. 13, 2014.
- [10] E. H. Aboadla et al., "Suppressing Voltage Spikes of MOSFET in H-Bridge Inverter Circuit," *Electronics*, vol. 10, no. 4, p. 390, Feb. 2021, doi: <https://doi.org/10.3390/electronics10040390>.
- [11] Samhar Saeed Shukir, "Design a Half Bridge Inverter and a Full Bridge Inverter with Overload Protection Circuit Using IC555," *Industrial Engineering*, Vol. 5, No. 1, 2021, pp. 21–27. doi: 10.11648/j.ie.20210501.13.
- [12] A. Balal, S. Dinkhah, F. Shahabi, M. Herrera, and Y. L. Chuang, "A Review on Multilevel Inverter Topologies," *Emerging Science Journal*, vol. 6, no. 1, pp. 185–200, Feb. 2022, doi: <https://doi.org/10.28991/esj-2022-06-01-014>.
- [13] J. F. Pérez Cuapio, "DESARROLLO DEL HARDWARE DE UN MEDIO PUENTE H DE IGBTs PARA CONVERTIDORES DE POTENCIA," Tesis, Tecnológico Nacional de México-Instituto Tecnológico de Apizaco, 2021.
- [14] C. Blake and C. Bull, "IGBT or MOSFET?: Choose Wisely", *El Segundo*, California, 1970. [ONLINE]. Available: [https://www.infineon.com/dgdl/Infineon-IGBT\\_or\\_MOSFET\\_Chose\\_Wisely-Article-v01\\_00-EN.pdf?fileId=5546d462533600a40153574048b73edc#:text=The IGBT technology is certainly, some preferring MOSFETs%2C some IGBTs](https://www.infineon.com/dgdl/Infineon-IGBT_or_MOSFET_Chose_Wisely-Article-v01_00-EN.pdf?fileId=5546d462533600a40153574048b73edc#:text=The IGBT technology is certainly, some preferring MOSFETs%2C some IGBTs).
- [15] Infineon, "IRFB4332PbF Power MOSFET", 2019
- [16] International Rectifier, "IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF", PD60147, 2005
- [17] Texas Instruments, "Fundamental of MOSFET and IGBT Gate Driver Circuits", 2018, SLUA628A



- [18] Fairchild, "UF4001-UF4007 Fast Rectifiers", 2016
- [19] Advanced Monolithic Systems, "AMS1117-5.0", 2016
- [20] "KiCad EDA," [www.kicad.org](http://www.kicad.org). <https://www.kicad.org/>
- [21] Panasonic Industry, "Aluminium Electrolytic Capacitors", RCR2367D, 2017
- [22] Welson, "Capacitor cerámico", CC-.1/50
- [23] TANCAP, "Capacitores de Tantalio", CT-10/35V-TANCAP
- [24] HSR, "Carbon Film Fixed Resistor", RC1000E/1/2
- [25] HSR, "Carbon Film Fixed Resistor", RC100E/1/2
- [26] AG, "Bornera Paso 200 de 2 Terminales", 2019, TRTM-02/NAT
- [27] PHC, "3 Terminales para Bornera Tipo Desmontable", 2019, PHC-036000000
- [28] AG, "Base Doble Contacto para CI 14 Pines", 2018, 14P300



**Roy Maza-González** recibió el título de licenciado en Ingeniería Electrónica con especialidad en Control y Automatización en la Industria 4.0 por el Instituto Tecnológico de Apizaco, Tlaxcala, México en 2024. Ingresó a estudiar la Maestría en Ingeniería Mecatrónica en el Instituto Tecnológico de Apizaco, Tlaxcala, México en 2024 y desde entonces se ha formado como investigador. Sus intereses de investigación incluyen el diseño electrónico, convertidores de potencia, sistemas de control digital y el aprovechamiento de energías renovables.



**Roberto Morales-Caporal** (Senior Member IEEE), obtuvo el título de ingeniero electromecánico por el Tecnológico Nacional de México, Campus Apizaco (TecNM-ITA), Apizaco, México, en 1999; el grado de Maestro en Ingeniería Eléctrica en el Departamento de Posgrado e Investigación de la Escuela Superior de Ingeniería Mecánica y Eléctrica (ESIME-Z), Instituto Politécnico Nacional (IPN), Ciudad de México, México, en 2001, y el grado de Doctorado en Ingeniería Eléctrica por la Universidad de Siegen, Siegen, Alemania, en 2007. Desde 2008, es profesor investigador de tiempo completo en la División de Estudios de Posgrado e Investigación del TecNM-ITA. Sus líneas de investigación incluyen sistemas de control de tiempo discreto, control predictivo de convertidores de potencia, control predictivo de variadores de frecuencia para motores de CA, diseño de hardware e Internet de las Cosas (IoT). El Prof. Morales-Caporal es miembro del Sistema Nacional de Investigadoras e Investigadores Nivel 2 (SNII-2), Secretaría de Ciencia, Humanidades, Tecnología e Innovación (SECIHTI), México.

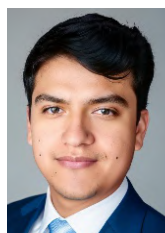


**Juan Carlos Hernández-Coyoth**, se tituló de Ingeniero en Mecatrónica en el Instituto Tecnológico Superior de Teziutlán (ITST), Teziutlán, Puebla en 2021. Fue estudiante del Posgrado de Maestría en Ingeniería Mecatrónica en el TecNM-ITA, actualmente se encuentra en proceso de titulación. Se dedica al mantenimiento y

desarrollo de tarjetas electrónicas de control en la industria.



**Rafael Ordoñez-Flores**. Doctor en Ingeniería Eléctrica, Universidad de París 11, Escuela Superior de Electricidad (SUPELEC), Francia, 2007. Maestría en Ing. Electrónica, CENIDET, Cuernavaca, Mor. Profesor - investigador adscrito al Tecnológico Nacional de México campus Apizaco. Cuerpo Académico "Control de accionamientos eléctrico-electrónicos y sus aplicaciones" en consolidación. Las áreas de interés son en automatización y control, electrónica de potencia, calidad y ahorro de energía eléctrica, energías renovables y calentamiento por inducción electromagnética.



**Brayán Daniel Vázquez-Gasca** recibió el título de licenciatura en Ingeniería Electrónica con la especialidad en automatización y control de la industria 4.0, por el Tecnológico Nacional de México / Instituto Tecnológico de Apizaco, Tlaxcala, México, en 2024. Actualmente cursa la maestría en Ingeniería Mecatrónica en la misma institución. Sus intereses de investigación incluyen el diseño e implementación de sistemas electrónicos embebidos, dispositivos IIoT, instrumentación industrial y monitoreo de calidad de energía eléctrica.



Fecha de recepción: 09 de junio de 2025, fecha de publicación en línea: octubre de 2025.

# Diseño, implementación y evaluación de un prototipo Cansat para monitoreo atmosférico

M. Rojas-Zempoalteca<sup>1</sup>, B. Barbosa Muñoz<sup>1</sup>, R. Ramírez Amador<sup>1\*</sup>, E. Acoltzi Bautista<sup>1</sup>, H.P. Martínez Hernández<sup>1</sup>.

<sup>1</sup> Tecnológico Nacional de México – Instituto Tecnológico de Apizaco. San Andrés Ahuashuatepec, Municipio de Tzompantepec, Tlaxcala, C.P. 90491, México.

Autor de correspondencia: \* Raquel Ramírez Amador (correo electrónico: [raquel.ra@apizaco.tecnm.mx](mailto:raquel.ra@apizaco.tecnm.mx)).

**Abstract-** This article presents the design, implementation, and evaluation of a prototype CanSat satellite the size of a can, developed by students at the Apizaco Institute of Technology for use in remote sensing and analysis of certain atmospheric variables. The design was carried out in accordance with the restrictions imposed by the CanSat canned satellite competition, which is part of the UNAM's University Space Program (PEU), whose objective is to motivate higher education students to develop skills in space science and technology. In this challenge, the students incorporated all the main subsystems found in a satellite, such as the power stage, electronic components, sensors, mechanical structure, mechanisms, and the telemetry system, within the volume of a can. Once each subsystem was working, the entire prototype was assembled, and then tests were carried out on the complete satellite at a height of approximately 50 meters, where it was possible to verify from a ground station that the satellite was sending the data it was measuring during its ascent and descent.

**Keywords:** CanSat, miniature satellite, simulate space mission, engineering.

## I. INTRODUCCIÓN

En este trabajo se presenta el diseño y construcción de un satélite enlatado CanSat (CanSat por su denominación coloquial en inglés), el cual fue elaborado por un grupo de alumnos del Instituto Tecnológico de Apizaco, con la finalidad de incentivar las vocaciones científicas de los alumnos en la educación aeroespacial, ya que es un desafío para las recientes generaciones, en especial para los estudiantes del área de ingeniería. Aquí, los estudiantes tienen la oportunidad de crear, implementar y lanzar su propio satélite a pequeña escala, adentrándose en un aprendizaje práctico que abarca desde los fundamentos de las matemáticas, física y la ingeniería, hasta habilidades clave como el trabajo en equipo y la resolución de problemas [1-2].

El prototipo constituye un sistema experimental y funcional, diseñado específicamente para ejecutar tareas relacionadas con vuelos suborbitales atmosféricos de baja altitud [3-4]. Su construcción requiere la integración de elementos estructurales, mecánicos, electrónicos y de software. Estas particularidades lo convierten en una plataforma eficiente y de bajo costo, ideal tanto para realizar múltiples actividades

como para fomentar el desarrollo de competencias técnicas en ingeniería bajo un enfoque STEM [5]. En este contexto, el sector aeroespacial se presenta como uno de los principales beneficiarios de esta metodología, gracias a su carácter interdisciplinario, su accesibilidad económica y la posibilidad de adaptar la complejidad de los proyectos [6-7].

El diseño se realizó siguiendo las restricciones impuestas por el concurso de satélites enlatados CanSat, que pertenece al programa Espacial Universitario (PEU) de la UNAM, cuyo objetivo es motivar a estudiantes de nivel superior habilidades de ciencia y tecnología espacial [8].

El prototipo de CanSat fue fabricado y probado con éxito por los alumnos, resultando muy motivador para cada uno de ellos y su vez dejó grandes conocimientos en diversas áreas.

## II. DESARROLLO EXPERIMENTAL

En esta sección se describen los materiales que se emplearon para la construcción del satélite que permite el monitoreo de variables atmosféricas como presión, temperatura, humedad,

entre otras. La tabla 1 muestra los componentes básicos para la construcción del satélite CanSat.

Tabla 1. Materiales empleados en la construcción del CanSat.

Módulo de Presión atmosférica	
Diseño de la Lata en 3D	
WI-FI	
Sensor DHT11	
Batería alcalina de 9V Volteck y conector	
Cable USB Tipo C	
Esp32-cam Cámara Digital Wifi Compacta + Antena +base	

#### A. SELECCIÓN Y JUSTIFICACIÓN DE LOS MATERIALES

1. ESP32-CAM (cámara digital WiFi compacta + antena + base): Elegido por integrar en un solo módulo la capacidad de captura de imágenes y transmisión inalámbrica, reduciendo espacio, peso y costos de integración.
2. Módulo de Presión Atmosférica Módulo: seleccionado por su precisión en presión y altitud, bajo consumo y tamaño reducido, lo que asegura datos confiables en condiciones de vuelo suborbital.
3. Sensor DHT11: aunque limitado en exactitud, se justifica por su bajo costo y fácil implementación, suficiente para fines educativos y experimentales.
4. Batería alcalina de 9V Volteck + conector de batería: empleados por su disponibilidad y voltaje estable. El conector garantiza un ensamble rápido y seguro, reduciendo riesgos de fallas eléctricas durante las pruebas.

5. WiFi móvil: necesario para enlazar el módulo con la red y asegurar la transmisión de datos en tiempo real hacia la plataforma de monitoreo.

6. Carcasa 3D: diseñada con dimensiones estándar de una lata, ofrece resistencia estructural y facilidad de personalización a bajo costo.

7. Bisagra metálica: incorporada para permitir apertura y mantenimiento del sistema sin comprometer la rigidez estructural del prototipo

8. Huevo (tripulante): incluido como carga de prueba, simula la protección de una carga útil frágil, permitiendo evaluar la resistencia estructural y la efectividad del diseño ante impactos.

#### B. PRUEBAS DE LOS COMPONENTE ELECTRÓNICOS

Las pruebas de funcionamiento de los sensores y control de las variables a medir se realizaron con base en los siguientes pasos.

##### B.1 Preparación del entorno

- Se instaló el soporte para ESP32 en Arduino IDE
- Se realizó la descarga del código y las librerías necesarias desde Arduino IDE en: Ejemplos > ESP32 > Camera > CameraWebServer.
- Se configuraron los parámetros de la red Wi-Fi con el código

##### B.2 Carga y ejecución del programa

- La carga del código se realizó con IO0 conectado a GND; al concluir, IO0 se desconectó y el módulo se reinició.
- Se utilizó el Monitor Serie para conocer la dirección IP y acceder al módulo desde un navegador.
- Se realizaron las pruebas con la cámara para transmitir video en tiempo real, como se muestra en la Fig. 1.

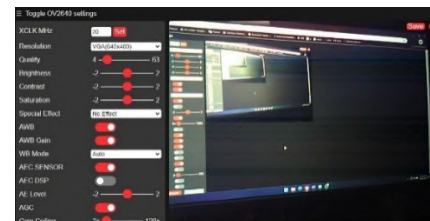


Fig. 1. Transmisión de video en tiempo real con ESP32-CAM

##### B.3 Realización del diseño

- Definición del modelo base: Se inició el diseño en SolidWorks considerando las dimensiones estándar de una lata de refresco, con un diámetro

aproximado de 66 mm y una altura de 122 mm, ver Fig. 2.



Fig. 2. Diseño en SolidWorks del modelo base (Lata)

- Se creó un cilindro base para representar la forma externa de la lata, asegurando la proporción correcta entre diámetro y altura, ver Fig. 3.

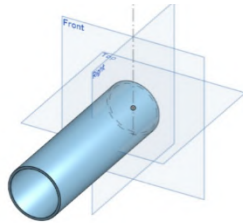


Fig. 3. Diseño en SolidWorks del cilindro base

- Se diseñaron espacios internos para la ESP32-CAM y sus accesorios, considerando soportes para la fijación de los módulos y canales para el paso de cables, asegurando un ajuste seguro y funcional.
- Se implementaron restricciones geométricas y parámetros dimensionales, garantizando que todas las piezas mantuvieran proporciones precisas y que el ensamblaje final fuera coherente con las dimensiones externas de la lata.
- Se añadieron elementos complementarios como una bisagra para mayor seguridad y un orificio para la antena. El resultado final se muestra en la Fig. 4.

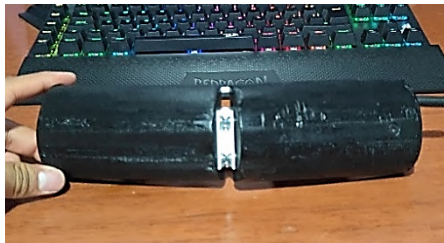


Fig. 4. Carcasa con bisagra

#### B.4 Ensamble

- La batería y la ESP32 fueron instaladas en una de las mitades de la lata, asegurando una fijación adecuada.
- Los sensores fueron conectados en sus lugares asignados y los cables se organizaron para

mantener un diseño limpio, tal y como se muestra en la Fig. 5.



Fig. 5. Interior del satélite

- Se verificó que la otra mitad de la lata contara con el espacio adecuado para alojar una representación de tripulante (huevo) que no interfiere con los componentes electrónicos, ver Fig. 6. Posteriormente, se colocó al tripulante en una misión real, asegurando que quedara correctamente fijado debido a su fragilidad, lo que permite evaluar la resistencia del satélite. Finalmente, se cerró la lata, quedando el sistema completamente sellado, como se observa en la Fig. 7.



Fig. 6. Interior del satélite, el tripulante se ubica en el centro de la carcasa izquierda

- Se procedió a unir las mitades de la lata, destacándose en la Fig. 8 la cámara instalada en un costado de la carcasa.



Fig. 7. Carcasa cerrada

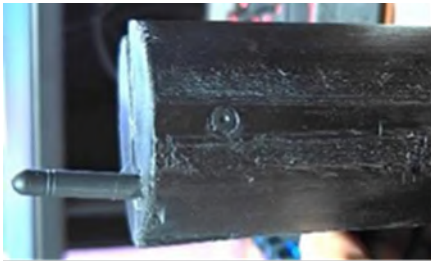


Fig.8 Ubicación de la cámara sobre la carcasa

### III. RESULTADOS

Las pruebas del satélite se realizaron de acuerdo con las siguientes etapas.

- Verificar que todos los datos de entrada sean correctos y completos.
- Asegurar que los sensores y dispositivos de recolección de datos estén funcionando correctamente.
- Probar la batería seleccionada para confirmar su nivel de carga y estabilidad durante el funcionamiento, evitando fallas de alimentación en el lanzamiento.
- Usar una página de Matlab con librerías exclusivas en Arduino, thingspeak, la cual tiene una librería especializada en recibir datos directamente de la placa ESP 32, ya con eso la cámara se optó por un programa sencillo que ya viene integrado en la ID de Arduino
- Realizar varias pruebas para garantizar que los datos sean consistentes y confiables antes del lanzamiento, ver Fig.9.

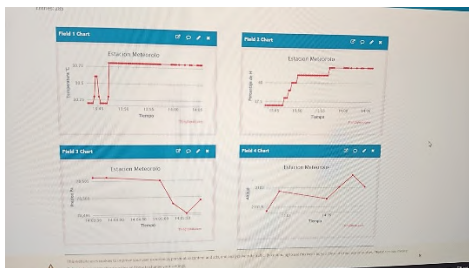


Fig.9 Representación de los datos: temperatura, presión, humedad y altitud en Matlab

#### A. MONITOREO Y REGISTRO DE PARÁMETROS METEOROLÓGICOS

El código que se implementa para monitorear parámetros ambientales mediante sensores y enviar los datos a la plataforma ThingSpeak para su análisis y visualización. A continuación, se explica brevemente algunas partes fundamentales de este:

##### A.1 Librerías y Configuración Inicial

Librerías: Se incluyen librerías para comunicación I2C (Wire), SPI (SPI), y el manejo de sensores:

- Adafruit\_BMP280: Para medir presión atmosférica y altitud.
- DHT: Para medir temperatura y humedad.
- ThingSpeak: Para enviar datos a la plataforma IoT.
- WiFi: Para conectarse a una red WiFi.

##### A.2 Función setup

- Configura la comunicación serial a 115200 baudios para depuración.
- Establece conexión WiFi. Si falla, se intenta nuevamente hasta conectarse.
- Inicializa la conexión con ThingSpeak.
- Configura e inicializa los sensores:
- BMP280: Verifica si el sensor está conectado correctamente. Si falla, el programa se detiene.
- DHT11: Prepara el sensor para lectura.

##### A.3 Función loop

- Lectura del DHT11: Obtiene la temperatura y la humedad. Los datos se imprimen en el monitor serial y se envían a los campos 1 y 2 de ThingSpeak.
- Lectura del BMP280: Obtiene presión atmosférica y altitud aproximada. Los datos se imprimen en el monitor serial y se envían a los campos 3 y 4 de ThingSpeak.

##### A.4 Propósito

- Este programa combinó los sensores para monitorear el medio ambiente (temperatura, humedad, presión y altitud) y transmitió los datos a ThingSpeak mediante una conexión WiFi. Es ideal para aplicaciones IoT.

### B. ASCENSO Y DESCENSO DEL SATÉLITE

Para realizar las pruebas del satélite, se realizó la integración del diseño con el contenedor, como se presenta en la Fig. 6, donde se observa la lata con el módulo interno colocado y el tripulante como carga útil, siempre recordando la fragilidad del mismo. A su vez, para garantizar la estabilidad de los componentes y evitar desplazamientos o daños durante el proceso, la lata fue sellada adecuadamente, tal como se muestra en la Fig. 7 y Fig. 10.





Figura 10. Satélite completamente cerrado y sellado

Enseguida, sujetamos la lata al dron de forma segura, asegurándonos de que quedara bien fijada para la demostración, como se muestra en la Fig.11. Para ello se utilizó un sistema sencillo compuesto por un lazo y un gancho, lo que permitió mantener la lata estable durante el ascenso.



Fig.11 Satélite sujeta al dron.

Al momento de la liberación, el dron realizó un ligero movimiento de sacudida controlada que provocó que el lazo se soltara del gancho, permitiendo la caída del satélite de manera intencional y controlada. El dron elevó la lata hasta aproximadamente 56 metros, con un monitoreo constante del ascenso, como se observa en la Fig. 12.



Fig.12 Ascenso constante del satélite anclado al dron

Enseguida, se hizo el monitoreo de los datos del sistema durante el ascenso, confirmando que operara correctamente

(Fig. 13 a Fig. 16) y se verificaron los datos obtenidos cuando la lata se mantuvo estática a 56 metros de altura.

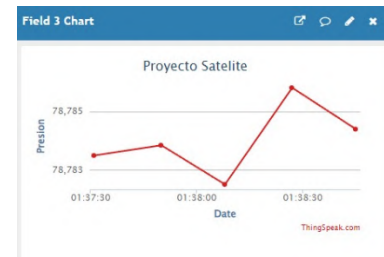


Fig.13 Gráfica de la presión.

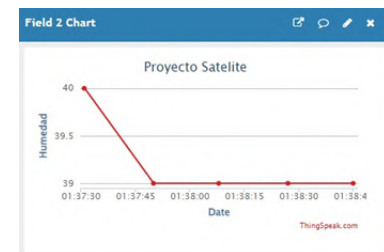


Fig.14 Gráfica de la humedad

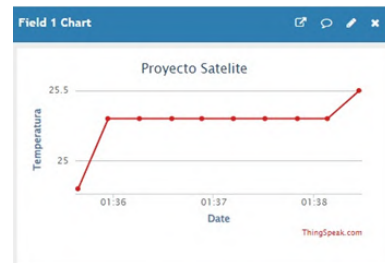


Fig.15 Gráfica de la temperatura

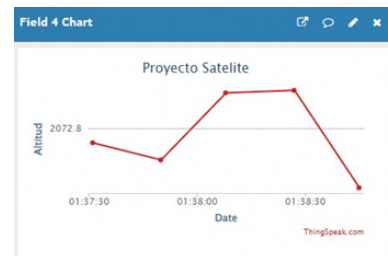


Fig.16 Gráfica de la altitud

A continuación, se realiza la liberación del satélite por medio de caída libre de la lata, sin paracaídas (Fig. 17), para evaluar la resistencia de los elementos internos y del huevo como simulación del tripulante.



Fig.17. Caída libre del satélite.

Así mismo, se monitoreó el comportamiento de los componentes internos y del huevo durante la prueba, registrando los datos relativos al impacto y a la estabilidad del montaje y se realizó una inspección visual de la lata después del impacto, con el fin de evaluar los daños provocados por la caída.

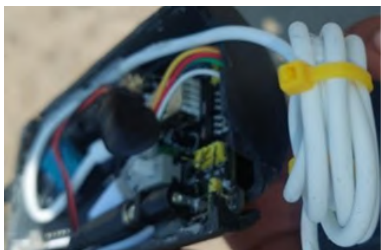


Fig.18 componentes después de la caída

Se evaluó la integridad de la bisagra, revisando su desprendimiento, la apertura parcial o total de la lata y la presencia de fracturas en los laterales. Los daños más relevantes se registraron en la Fig. 18 y Fig. 19.



Fig.19 Evaluación de los Daños Post-Impacto de la Lata.

#### IV. CONCLUSIÓN

En el trabajo presentado se pudo constatar que el satélite cumplió con los objetivos propuestos, ya que este fue de un tamaño compacto, la integración eficiente de sistemas de energía, sensores y comunicaciones en espacios reducidos. La cual se mantuvo durante el ascenso y descenso del CanSat. Así mismo, los experimentos realizados fueron los óptimos para obtener los resultados deseados, desde el monitoreo de las variables ambientales hasta la incursión materiales para resistir impactos, el CanSat logró recopilar datos valiosos en tiempo real.

La precisión en la transmisión de datos se logró de manera satisfactoria, ya que no se perdió la señal en ningún momento, ya que se logró una fiabilidad en la comunicación entre el CanSat y la estación terrestre, incluso en condiciones adversas. Este avance refleja el éxito de los sistemas de transmisión implementados, que han optimizado el flujo continuo y seguro de información crítica.

En cuanto al análisis de datos, los resultados obtenidos permitieron observar las variaciones atmosféricas esta información no solo valida la eficacia de los sistemas actuales, sino que también sienta las bases para una nueva generación de satélites más sofisticados.

El prototipo de CanSat fue fabricado y probado con éxito por estudiantes del Instituto Tecnológico de Apizaco, resultando muy motivador para cada uno de ellos, lo que ha resultado crucial para impulsar el desarrollo y la planificación de futuras misiones aeroespaciales, ya que fue posible fomentar el desarrollo de competencias técnicas en ingeniería bajo un enfoque STEM El CanSat y acrecentar los conocimientos en estas áreas.

#### REFERENCIAS

- [1] Design and development of a CanSat for air pollution monitoring," Measurement, vol. [Volumen], 2025.
- [2] J. J. M. González, S. A. Z. Gil, S. L. Serna, N. B. Isaza, D. A. G. Jaramillo, y J. M. Z. Vélez, "Construcción de prototipo de CANSAT para toma de imágenes aéreas para detección de zonas de vegetación en agricultura de precisión," Ciencia y Poder Aéreo, vol. 16, no. 2, pp. 11–28, 2021.
- [3] D. Iglesias y J. Ruiz, "The CanSat Compendium: A Review of Scientific CanSats," Machines, vol. 11, no. 7, p. 675, 2023. [En línea]. Disponible en:
- [4] K. Dokic, "Microcontrollers on the edge – Is ESP32 with camera ready for machine learning?," Lecture Notes in Computer Science, vol. 12119, pp. 213–220, 2020.
- [5] E. Baran Jovanovic, S. E. D. E. F. Canbazoglu Bilici, C. Mesutoğlu, y C. Ocak, "The impact of an out-of-school STEM education program on students' attitudes toward STEM and STEM careers," School Science and Mathematics Journal for All Science and Mathematics Teachers, vol. 119, no. 4, 2019.
- [6] T. Islam, A. Noreen, M. R. Mughal y M. A. Nadeem, "Design and development of a weather monitoring satellite, CanSat," en Proc. 15th Int. Conf. Emerging Trends in Eng. & Tech., 2019.
- [7] Botero, A. Y., Rodríguez, J. S., Serna, J. G., Gómez, A., & García, M. J. (2017). Design, construction and testing of a data transmission system for a mid-power rocket model. IEEE Aerospace Conference Proceedings.
- [8] <https://peu.unam.mx/>
- [9] European Space Agency (ESA). The CanSat Book 2023–2024. <https://cansat.esa.int/wp-content/uploads/2023/09/the-CanSat-Book-23-24.pdf>
- [10] Adafruit Industries, "DHT Sensor Library for Arduino," GitHub Repository. [En línea]. Disponible: <https://github.com/adafruit/DHT-sensor-library>

- [11] Adafruit Industries, "Adafruit BMP280 Library," GitHub Repository. [En línea]. Disponible: [https://github.com/adafruit/Adafruit\\_BMP280\\_Library](https://github.com/adafruit/Adafruit_BMP280_Library)
- [12] MathWorks, ThingSpeak Documentation, MathWorks IoT Platform. [En línea]. Disponible: <https://thingspeak.com/docs>
- [13] Arduino, "WiFi Library for Arduino," Arduino Official Documentation. [En línea]. Disponible: <https://www.arduino.cc/en/Reference/WiFi>
- [14] DFRobot. ESP32-CAM Development Board. [https://media.digikey.com/pdf/Data%20Sheets/DFRobot%20PDFs/DFR0602\\_Web.pdf](https://media.digikey.com/pdf/Data%20Sheets/DFRobot%20PDFs/DFR0602_Web.pdf)
- [15] Aosong Electronics. DHT11 Humidity & Temperature Sensor. <https://www.mouser.com/datasheet/2/758/DHT11-Technical-Data-Sheet-Translated-Version-1143054.pdf>
- [16] J. D. Jensen, CanSat NeXT: A Modular CanSat Platform, 2023. <https://jensd.dk/doc/cansat/cansatdk/CanSatNeXT.pdf>
- [17] Adafruit Industries, DHT11, DHT22 and AM2302 Sensors, Adafruit Industries, 2023. <https://cdn-learn.adafruit.com/downloads/pdf/dht.pdf>



**MARISOL ROJAS ZEMPOALTECA** obtuvo el título de Técnico en Mecatrónica con cédula profesional en el plantel CECyTE 02 en 2020. Ese mismo año ingresó a la carrera de Ingeniería Mecatrónica en el Instituto Tecnológico de Apizaco, de la cual es recién egresada. En 2022 participó como staff en el primer evento de robótica del Instituto, colaborando en la organización y el desarrollo.

Realizó su residencia profesional en Saint-

Gobain durante el periodo enero-junio de 2025.

Demuestra interés en explorar distintas áreas de la ingeniería y en adquirir conocimientos sobre nuevos equipos y tecnologías.



**BENJAMIN BARBOSA MUÑOZ** recibió el título de Técnico en Mecatrónica por el CECyTE 02, Tlaxcala, en 2020, y actualmente cursa la licenciatura en Ingeniería en Mecatrónica en el Instituto Tecnológico de Apizaco, al que ingresó en 2020.

Desde 2020 ha desarrollado proyectos de electrónica, control y mantenimiento industrial, destacando en el diseño de sistemas de seguridad electrónicos con keypad y pantallas LCD, así como en el control de velocidad de motores de corriente directa de alta potencia. Actualmente realiza su residencia profesional en la empresa PLAMI, S.A. de C.V., donde trabaja en la actualización de los drives Polyspede OC2-500M.

Sus intereses de ingeniería incluyen la integración de sistemas mecatrónicos en procesos industriales, control de motores de corriente directa, aplicaciones de impresión 3D y mantenimiento predictivo y preventivo.



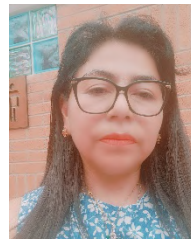
**RAQUEL RAMÍREZ AMADOR** recibió el título de licenciado en Electrónica por la Benemérita Universidad Autónoma de Puebla, Maestría en Ciencias de la Electrónica por el INAOE y el Doctorado en Dispositivos Semiconductores por la Benemérita Universidad Autónoma de Puebla.

Desde el año 2009 se ha desempeñado como docente a nivel medio superior y superior en diversas instituciones educativas. Actualmente, participa como docente en el Departamento de Ingeniería Eléctrica y Electrónica, del Instituto Tecnológico de Apizaco/ Tecnológico Nacional de México, así como en la Maestría en Mecatrónica y el Doctorado en Ciencias de la Ingeniería. Sus intereses radican automatización y control, síntesis y caracterización de materiales semiconductores y de película delgada, micro y nanoelectrónica, desarrollo de dispositivos semiconductores y diseño de circuitos integrados. Ha incursionado en la publicación de artículos científicos, tecnológicos y de pedagogía.



**ENRIQUE ACOLZI BAUTISTA** recibió el título Ingeniero en Electromecánica por el Instituto Tecnológico de Apizaco, la Maestría en la enseñanza de matemáticas por la Universidad Autónoma de Tlaxcala. Ha sido profesor a nivel superior. Ha desempeñado diversos cargos en el Instituto Tecnológico de Apizaco como jefe de departameto de Metal

Mecánica, en Departamento de Desarrollo Académico, entre otros. Actualmente es subdirector Académico del Instituto Tecnológico de Apizaco. Ha incursionado en la publicación de artículos científicos, tecnológicos y de pedagogía.

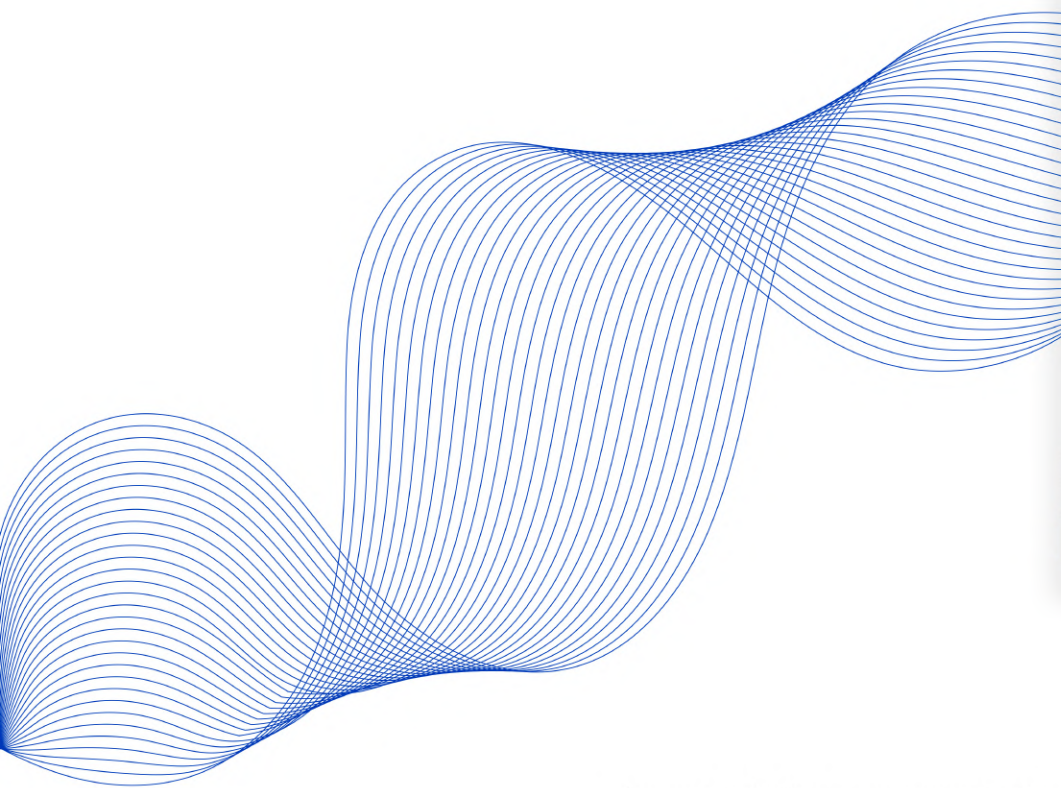


**HAYDEE PATRICIA MARTÍNEZ HERNÁNDEZ** recibió el título de Ingeniera Industrial en Electrónica por el Instituto Tecnológico de Puebla en 1996, la Maestría en Ingeniería Mecánica por el Instituto Tecnológico de Apizaco en el año 2000, y el Doctorado en Dispositivos Semiconductores por la Benemérita Universidad Autónoma de Puebla en 2019.

Desde 1996 me desempeño como docente en el Instituto Tecnológico de Apizaco. Del año 2020 al

2023 estuve a cargo de la Coordinación del Doctorado en Ciencias de la Ingeniería de esta misma institución, y de 2023 a 2024 ocupé el cargo de Jefa del Departamento de Gestión Tecnológica y Vinculación. Actualmente, continúo como profesora del Departamento de Ingeniería Eléctrica y Electrónica, participando también en la Maestría en Mecatrónica y en el Doctorado en Ciencias de la Ingeniería. Mi área de especialidad se centra en el control con microcontroladores, así como en el diseño, fabricación y caracterización de dispositivos semiconductores. Además, he colaborado con investigadores de la BUAP, el INAOE, CIDESI, entre otras, así como en proyectos orientados a la caracterización de materiales fotovoltaicos, fotoluminiscentes y electroluminiscentes.





La portada ilustra a una estudiante de posgrado en el proceso de caracterización morfológica de dispositivos semiconductores. Para ello, emplea un microscopio electrónico de barrido FlexSEM 1000II de la marca Hitachi, equipo de vanguardia que forma parte de la infraestructura científica del Departamento de Ingeniería Eléctrica-Electrónica del TecNM/Instituto Tecnológico de Apizaco.

Esta imagen refleja el compromiso institucional con la formación de recursos humanos altamente especializados, así como con la consolidación de capacidades tecnológicas que fortalecen la investigación aplicada en el área de los semiconductores.

